

PCT

世界知的所有権機関  
国際事務局

特許協力条約に基づいて公開された国際出願



|   |           |  |
|---|-----------|--|
| <b>(51) 国際特許分類7</b><br><b>G06F 17/10</b>  | <b>A1</b> | <b>(11) 国際公開番号</b><br><b>WO00/68826</b><br><br><b>(43) 国際公開日</b><br>2000年11月16日(16.11.00)  |
| <b>(21) 国際出願番号</b> PCT/JP00/03040<br><b>(22) 国際出願日</b> 2000年5月11日(11.05.00)<br><b>(30) 優先権データ</b><br>特願平11/165745 1999年5月11日(11.05.99) JP<br><b>(71) 出願人</b> (米国を除くすべての指定国について)<br>酒井康江(SAKAI, Yasue)[JP/JP]<br>〒336-0932 埼玉県浦和市中尾409-1-D115 Saitama, (JP)<br><b>(72) 発明者 ; および</b><br><b>(75) 発明者 / 出願人</b> (米国についてののみ)<br>小柳裕喜生(KOYANAGI, Yukio)[JP/JP]<br>〒406-0000 山梨県東八代郡石和町63-1-205 Yamanashi, (JP)<br><b>(74) 代理人</b><br>弁理士 雨貝正彦(AMAGAI, Masahiko)<br>〒169-0074 東京都新宿区北新宿1丁目8番15号<br>北新宿OCビル2階 雨貝特許事務所 Tokyo, (JP)  |           | <b>(81) 指定国</b> CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)<br>添付公開書類<br>国際調査報告書 |
| <b>(54) Title: INTERPOLATION CIRCUIT</b><br><b>(54) 発明の名称</b> 補間処理回路<br><div style="text-align: center; margin: 20px 0;"> </div> <b>(57) Abstract</b><br>An interpolation circuit capable of performing interpolation operation with a simple constitution. A 16-times oversampling from discrete data is performed by D flip-flops (4, 5). A first convolution operation is performed by D flip-flops (4-11) and an adder (12), on the result of which a second convolution operation is performed by D flip-flops (13-20) and an adder (21). Data interpolated along a quadratic function curve enveloping the discrete data is obtained from the adder (21). |           |  |

Express Mail #EL898005562US

簡単な構成によい補間処理を行うことができる補間処理回路を提供することを目的とする。離散的なデータに対してD型フリップフロップ4、5によって16倍のオーバーサンプリング処理を行う。また、D型フリップフロップ4～11と加算器12によって1回目の畳み込み演算を行い、この結果に対して、D型フリップフロップ13～20と加算器21によって2回目の畳み込み演算を行う。加算器21からは、離散的なデータの間の二次関数曲線に沿って補間するデータが得られる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

|                 |            |                   |               |
|-----------------|------------|-------------------|---------------|
| AE アラブ首長国連邦     | DM ドミニカ    | KZ カザフスタン         | RU ロシア        |
| AG アンティグア・バーブーダ | DZ アルジェリア  | LC セントルシア         | SD スーダン       |
| AL アルバニア        | EE エストニア   | LI リヒテンシュタイン      | SE スウェーデン     |
| AM アルメニア        | ES スペイン    | LK スリ・ランカ         | SG シンガポール     |
| AT オーストリア       | FI フィンランド  | LR リベリア           | SI スロヴェニア     |
| AU オーストラリア      | FR フランス    | LS レソト            | SK スロヴァキア     |
| AZ アゼルバイジャン     | GA ガボン     | LT リトアニア          | SL シェラ・レオネ    |
| BA ボスニア・ヘルツェゴビナ | GB 英国      | LU ルクセンブルグ        | SN セネガル       |
| BB バルバドス        | GD グレナダ    | LV ラトヴィア          | SZ スワジランド     |
| BE ベルギー         | GE グルジア    | MA モロッコ           | TD チャード       |
| BF ブルキナ・ファソ     | GH ガーナ     | MC モナコ            | TG トーゴ        |
| BG ブルガリア        | GM ガンビア    | MD モルドヴァ          | TJ タジキスタン     |
| BJ ベナン          | GN ギニア     | MG マダガスカル         | TM トルクメニスタン   |
| BR ブラジル         | GR ギリシャ    | MK マケドニア旧ユーゴスラヴィア | TR トルコ        |
| BY ベラルーシ        | GW ギニア・ビサオ | 共和国               | TT トリニダード・トバゴ |
| CA カナダ          | HR クロアチア   | マリ                | TZ タンザニア      |
| CF 中央アフリカ       | HU ハンガリー   | ML モンゴル           | UA ウクライナ      |
| CG コンゴ          | ID インドネシア  | MN モンゴル           | UG ウガンダ       |
| CH スイス          | IE アイルランド  | MR モーリタニア         | US 米国         |
| CI コートジボアール     | IL イスラエル   | MW マラウイ           | UZ ウズベキスタン    |
| CM カメルーン        | IN インド     | MX メキシコ           | VN ヴェトナム      |
| CN 中国           | IS アイスランド  | MZ モザンビーク         | YU ユーゴスラヴィア   |
| CR コスタ・リカ       | IT イタリア    | NE ニジェール          | ZA 南アフリカ共和国   |
| CU キューバ         | JP 日本      | NL オランダ           | ZW ジンバブエ      |
| CY キプロス         | KE ケニア     | NO ノールウェー         |               |
| CZ チェッコ         | KG キルギスタン  | NZ ニュー・ジーランド      |               |
| DE ドイツ          | KP 北朝鮮     | PL ポーランド          |               |
| DK デンマーク        | KR 韓国      | PT ポルトガル          |               |
|                 |            | RO ルーマニア          |               |

## 明 細 書

## 補間処理回路

## 技術分野

本発明は、離散的なデータから補間データを生成する補間処理回路に関する。

## 背景技術

従来から、CD（コンパクトディスク）再生装置等にはオーバーサンプリング方式のデジタルアナログ変換器が用いられている。このデジタルアナログ変換器は、離散的に輸入されるデジタルデータの間を  $\text{sinc}$  関数等を用いて補間処理するものである。しかし、この  $\text{sinc}$  関数は、 $\pm\infty$  で 0 に収れんするため、有限な値で演算を打ち切るとこの演算による打ち切り誤差を生じるという欠点があった。また、一般には補間処理によって得られた階段状の波形をローパスフィルタに通しているが、ローパスフィルタを通すことによる位相歪みや出力波形の歪みが生じるという欠点もある。

特に、上述した  $\text{sinc}$  関数を用いた補間処理では、この  $\text{sinc}$  関数の値をテーブルに格納しておいて必要に応じて読み出したり、デジタルフィルタのタップ係数として保持しておいたりする手法が用いられており、構成が複雑になるという問題があった。このため、簡単な構成によって補間処理を行うことができる補間処理回路が望まれていた。

## 発明の開示

本発明は、このような点に鑑みて創作されたものであり、その目的は、簡単な構成によい補間処理を行うことができる補間処理回路を提供することにある。

本発明の補間処理回路は、零次ホールドされた入力データに対してオーバーサンプリング処理を行うオーバーサンプリング処理手段と、前記オーバーサンプリング処理手段によって得られた複数のデータを用いて、2回以上繰り返し畳み込み演算を行う第1の畳み込み演算手段とを備え、前記入力データの値の整数倍を

通る二次曲線に沿った補間データを生成することを特徴としている。

また、本発明の補間処理回路は、零次ホールドされた入力データに対してオーバーサンプリング処理を行うオーバーサンプリング処理手段と、前記オーバーサンプリング処理手段によって得られた複数の第1のデータを用いて畳み込み演算を行い、包絡線の形状が、上辺が元の入力データの幅のほぼ0.5倍であって底辺がほぼ1.5倍の対称台形となる複数の第2のデータを求める第2の畳み込み手段と、前記第2の畳み込み手段によって得られた複数の前記第2のデータを用いて畳み込み演算を行うことにより、包絡線の形状が、底部の幅が元の入力データのほぼ2倍の滑らかな二次曲線となる複数の第3のデータを求める第3の畳み込み演算手段とを備えることを特徴としている。

また、本発明の補間処理回路は、零次ホールドされた入力データに対してオーバーサンプリング処理を行うオーバーサンプリング処理手段と、前記オーバーサンプリング処理手段によって得られた複数のデータを用いて畳み込み演算を行い、包絡線の形状が、底辺が前記入力データの幅のほぼ2倍の二等辺三角形となる複数のデータを求める第4の畳み込み手段とを備えることを特徴としている。

また、本発明の補間処理回路は、サンプリング周期が $2n \cdot T_1$ の零次ホールドされた入力データに対して、時間間隔 $T_1$ でオーバーサンプリング処理を行うオーバーサンプリング処理手段と、前記オーバーサンプリング処理手段によって得られた複数のデータに対して、これを時間間隔 $T_1$ ずつずらして $n$ 回加算処理を行うことにより、 $n$ 相の畳み込み演算を行う第5の畳み込み演算手段と、前記第5の畳み込み演算手段によって得られた複数のデータに対して、これを時間間隔 $T_1$ ずつずらして $n$ 回加算処理を行うことにより、 $n$ 相の畳み込み演算を行う第6の畳み込み演算手段とを備えることを特徴としている。

特に、前記第5および前記第6の畳み込み演算手段の少なくとも一方は、前記オーバーサンプリング処理手段から出力される $n$ 個のデータをシフトさせながら保持するデータ保持手段と、前記データ保持手段に保持された $n$ 個のデータを加算する加算手段とを含んで構成することが望ましい。

また、上述した前記オーバーサンプリング処理手段の前段に、前記入力データの前後に、対称でかつこの入力データに比例した値を有するデータを付加するデ

ータ付加手段を備えることが望ましい。

#### 図面の簡単な説明

図 1 は、第 1 の実施形態のデジタルーアナログ変換器で行われる補間処理の原理を説明するための図、

図 2 は、第 1 の実施形態のデジタルーアナログ変換器で行われる補間処理の原理を説明するための図、

図 3 は、第 1 の実施形態のデジタルーアナログ変換器で行われる補間処理の原理を説明するための図、

図 4 は、補間処理の具体例を示す図、

図 5 は、補間処理の具体例を示す図、

図 6 は、図 4 および図 5 に示した演算により最終的に得られた波形を示す図、

図 7 は、図 4 に示した部分的なデータに対応する波形を示す図

図 8 は、1 回目の畳み込み演算を行う過程を示す図、

図 9 は、2 回目の畳み込み演算を行う過程を示す図、

図 10 は、3 回目の畳み込み演算を行う過程を示す図、

図 11 は、離散的なデータとして、0、3、7、5、-4、0 が入力された場合の補間処理の具体例を示す図、

図 12 は、図 11 に示した演算により得られた波形を示す図、

図 13 は、第 1 の実施形態のデジタルーアナログ変換器の構成を示す図、

図 14 は、第 2 の実施形態のデジタルーアナログ変換器の構成を示す図、

図 15 は、図 14 に示したデジタルーアナログ変換器に含まれる第 1、第 2 および第 3 の畳み込み演算回路における演算の具体例を示す図、

図 16 は、図 15 に示した演算により最終的に得られた波形を示す図、

図 17 は、入力される単一のパルスの両側に対称的な他のパルスを付加した波形を示す図、

図 18 は、入力データに対して図 17 に示す他のパルスを付加した後に複数回の畳み込み演算を行った結果を示す図、

図 19 は、零次ホールドされた単一のパルスの両端に別のパルスを付加する回

路の構成を示す図、

図 20 は、直線補間を行う場合の原理を説明するための図、

図 21 は、直線補間を行う第 5 の実施形態のデジタルーアナログ変換器の構成を示す図、

図 22 は、離散的なデータとして、0、3、7、5、-4、0 が入力された場合の補間処理の具体例を示す図、

図 23 は、図 22 に示した演算により得られた波形を示す図である。

発明を実施するための最良の形態

以下、本発明のデータ補間方式を適応した一実施形態のデジタルーアナログ変換器について、図面を参照しながら説明する。

〔第 1 の実施形態〕

第 1 の実施形態のデジタルーアナログ変換器は、離散的なデジタルデータが入力されたときに、これらの入力データの間を二次曲線で滑らかにつなぐ補間処理を行う。

図 1～図 3 は、本実施形態のデジタルーアナログ変換器で行われる補間処理の原理を説明するための図であり、単一のデータを二次曲線に沿った補間データに変換する過程が示されている。図 1 に示すように、零次ホールドされた単一のデータは、振幅が 1 で、長さが  $2n \cdot T_1$  の場合を考えるものとする。離散的なデータが入力される場合には、単一のデータの長さ  $2n \cdot T_1$  が入力データの繰り返し周期（サンプリング周波数）となる。図 1 に示したデータに対して、これを  $T_1$  ずつずらしてオーバーサンプリング処理した後に  $n$  回加算する 1 回目の畳み込み演算を行うことにより、図 2 に示すような底辺が  $(3n-1) \cdot T_1$ 、上辺が  $(n+1) \cdot T_1$  で高さが  $n$  の対称台形波が得られる。さらに、この対称台形波に対して、これを  $T_1$  ずつずらして  $n$  回加算する 2 回目の畳み込み演算を行うことにより、図 3 に示すような幅が  $(4n-1) \cdot T_1$  で、振幅が  $2n^2$  の連続した二次曲線が得られる。

このように、入力される零次ホールドデータに対してオーバーサンプリング処理を行い、 $n$  相の畳み込み演算を行うことにより、連続した二次曲線を包絡線と

する出力データを得ることができる。したがって、離散な入力データを次々に零次ホールドする場合を考えると、各入力データに対応した二次曲線が  $2n \cdot T_1$  ずつずれて合成されることになり、出力として、各入力データの  $2n^2$  倍を通り、これらの間を二次曲線に沿って滑らかにつなぐ  $2n$  個の補間データが得られる。

図4および図5は、上述した補間処理の具体例を示す図である。 $n=8$ とした場合の計算例が示されている。図4には1回目の畳み込み演算の詳細内容が、図5には2回目の畳み込み演算の詳細内容が示されている。

図4において、(1)で示される各データは、図1に示した零次ホールドのデータ（オーバーサンプリング処理後のデータ）を示している。また、横方向の配置が時間の経過に対応しており、1つの列の単位時間を  $T_1$  とする。すなわち、図1に対応する入力データとして、持続時間  $16T_1$  で振幅1の零次ホールドされた16個のデータを考える。このデータを、図4の(1)～(8)に示したように、時間  $T_1$  ずつずらして8組のデータを生成し、これらを加算する8相の畳み込み演算を行うことにより、図4の(T1)で示した計算結果が得られる。この計算結果によれば、図2に示したような対称台形波が得られたことがわかる。

また、図5において、(1)で示された各データは、1回目の畳み込み演算によって得られたデータであり、図4の(T1)に示されたものと同じである。図5の(1)～(8)に示したように、時間  $T_1$  ずつずらして8組のデータを生成し、これらを加算する8相の畳み込み演算を行うことにより、図5の(T2)で示した計算結果が得られる。図5の(A1)は、2回目の畳み込み演算によって得られたデータであり、(T2)で示されたものと同じである。(A1)で示されたデータをさらに  $T_1$  だけずらして(図5の(A2))、2相の畳み込み演算((A1)のデータと(A2)のデータの加算)を行うことにより、図5の(A3)で示した演算結果が得られる。

図6は、図4および図5に示した演算により最終的に得られた波形を示す図である。縦軸が振幅を、横軸が時間をそれぞれ示している。図6に示すように、元の零次ホールドされた矩形波が、幅が2倍の滑らかな二次関数曲線を包絡線とするオーバーサンプリングされたデータとなり、最大振幅が128倍( $=2n^2$ )となっていることがわかる。

また、上述した例は単一の入力データで説明したが、複数のデータが連続して入力される場合には、各入力データに対応してオーバーサンプリングされたデータが互いに重なることなく並べられるため、 $2n \cdot T_1$ の周期でデータが連続して入力される場合には、補間曲線は、常に各データの整数倍（128倍）を通ることがわかる。

図7は、図4に示した（1）のデータに対応する波形を示す図である。この波形は、振幅が1で、幅が $2n \cdot T_1$ の零次ホールドされたユニットパルスに対応している。図8は、1回目の畳み込み演算を行う過程を示す図であり、振幅と幅がどのように変化するか概略的に示されている。また、図9は、2回目の畳み込み演算を行う過程を示す図であり、振幅と幅がどのように変化するか概略的に示されている。図10は、3回目の畳み込み演算を行う過程を示す図であり、振幅と幅がどのように変化するか概略的に示されている。図10に示すように、3回目の畳み込み演算によって、補間後の複数のデータの全体の幅（データ長）が $(4n-1) \cdot T_1$ となる。

次に、2回目の畳み込み演算によって得られる波形について連続性の検証を行う。図5において、横方向の配置を $x$ に対応させ、（A3）の各データの値 $y$ を求めると、

$0 \leq x \leq n$ については（この区間の $y$ を $y_1$ とする）、

$$\begin{aligned} y_1 &= (1 + 2 + \cdots + x) + (1 + 2 + \cdots + (x-1)) \\ &= x(x+1)/2 + (x-1)x/2 \\ &= x^2 \end{aligned} \quad \cdots (1)$$

$n \leq x \leq 3n$ については（この区間の $y$ を $y_2$ とする）、

$$\begin{aligned} y_2 &= 2(1 + 2 + \cdots + n) - (1 + 2 + \cdots + (x-n)) \\ &\quad + n(2x - 2n - 1) \\ &= n(n+1) - (x-n)^2 + n(2x - 2n - 1) \\ &= -x^2 + 4nx - 2n^2 \end{aligned} \quad \cdots (2)$$

$3n \leq x \leq 4n$ については（この区間の $y$ を $y_3$ とする）、

$$\begin{aligned} y_3 &= (-x + 4n)^2 \\ &= x^2 - 8nx + 16n^2 \end{aligned} \quad \cdots (3)$$



となる。このように、 $y$ は $x$ の二次式となっていることがわかる。

また、 $x = n$ における傾きを調べると、

$$dy_1 / dx = 2x = 2n$$

$$dy_2 / dx = -2x + 4n = 2n$$

となる。ともに $2n$ であって、 $x = n$ において傾きが同じであり、滑らかにつながっていることがわかる。

また、 $x = 3n$ における傾きを調べると、

$$dy_2 / dx = -2x + 4n = -2n$$

$$dy_3 / dx = 2x - 8n = -2n$$

となる。ともに $-2n$ であって、 $x = 3n$ において傾きが同じであり、滑らかにつながっていることがわかる。

図11は、離散的なデータとして、0、3、7、5、-4、0が入力された場合の補間処理の具体例を示す図である。例えば、 $n = 4$ の場合の具体例が示されている。

図11の(1)に示すように、まず、入力されたデータに対して、8個の零次ホールドされたオーバーサンプリングデータが生成される。この8個の入力データを、図11の(1)～(4)に示したように、時間 $T_1$ ずつずらして4組のデータを生成し、これらを加算する4相の畳み込み演算を行うことにより、図11の(5)で示した計算結果が得られる。

同様に、このようにして得られた1回目の畳み込み演算結果を、図11の(5)～(8)に示したように、時間 $T_1$ ずつずらして4組のデータを生成し、これらを加算する4相の畳み込み演算を行うことにより、図11の(A1)で示した計算結果が得られる。この(A1)で示されたデータをさらに $T_1$ だけずらして(図11の(A2))、2相の畳み込み演算((A1)のデータと(A2)のデータの加算)を行うことにより、図11の(A3)で示した演算結果が得られる。

図12は、図11に示した演算により得られた波形を示す図である。縦軸が振幅を、横軸が時間をそれぞれ示している。図12に示すように、離散的に入力されるデータが、これらの間を二次関数曲線でつなぐデータによって補間されたこ

とがわかる。なお、各入力データに対応する出力値の振幅は、入力データの値の  $32$  倍 ( $= 2^n$ ) となっている。

図 13 は、本実施形態のデジタルーアナログ変換器の構成を示す図である。例えば、 $n = 8$  の場合に対応した具体的な構成が示されている。

図 13 に示すように、本実施形態のデジタルーアナログ変換器は、第 1 の畳み込み演算回路を構成する 8 個の D 型フリップフロップ 4 ~ 11 および加算器 (ADD) 12 と、第 2 の畳み込み演算回路を構成する 8 個の D 型フリップフロップ 13 ~ 20 および加算器 (ADD) 21 と、第 3 の畳み込み演算回路を構成する D 型フリップフロップ 22 および加算器 23 と、除算器 24、デジタルーアナログ変換器 (D/A) 25、フィルタ 26 を含んで構成されている。

基本クロック信号 CLK1 は、離散的な入力データのサンプリング周波数と同じ周波数を有しており、初段の D 型フリップフロップ 4 に入力されている。離散的な入力データは、この基本クロック信号 CLK1 に同期して D 型フリップフロップ 4 に取り込まれて保持される。また、クロック信号 CLK2 は、基本クロック信号 CLK1 の 16 倍の周波数を有しており、2 段目以降の全ての D 型フリップフロップはこのクロック信号 CLK2 に同期したデータの取り込み動作を行っている。周波数が異なるクロック信号 CLK1、CLK2 が入力される 2 つの D 型フリップフロップ 4、5 によってオーバーサンプリング処理手段が構成されている。

第 1 の畳み込み演算回路に含まれる初段の D 型フリップフロップ 4 に 16 ビットのデータが入力されると、2 段目以降の 7 個の D 型フリップフロップ 5 ~ 11 は、この初段の D 型フリップフロップ 4 に保持されているデータを、クロック信号 CLK2 に同期して順番に取り込んでシフトする。加算器 12 は、8 個の D 型フリップフロップ 4 ~ 11 のそれぞれに保持されているデータを加算する。このようにして、第 1 の畳み込み演算回路内の加算器 12 において、図 4 の (T1) で示した演算結果が得られる。

また、第 2 の畳み込み演算回路に含まれる 8 個の D 型フリップフロップ 13 ~ 20 は、第 1 の畳み込み演算回路内の加算器 12 から出力される 19 ビットのデータを、クロック信号 CLK2 に同期して順番に取り込んでシフトする。加算器

21は、8個のD型フリップフロップ13～20のそれぞれに保持されているデータを加算する。このようにして、第2の畳み込み演算回路内の加算器21において、図5の(T2)で示した演算結果が得られる。

さらに、第3の畳み込み演算回路に含まれるD型フリップフロップ22は、第2の畳み込み演算回路内の加算器21から出力される22ビットのデータを、クロック信号CLK2に同期して取り込む。加算器23は、加算器21から出力されるデータとD型フリップフロップ22に保持されたデータを加算する。このようにして、第3の畳み込み演算回路内の加算器23において、図5の(A3)で示した演算結果が得られる。

加算器23から出力される23ビットのデータは、除算器24において8で除算されて20ビットのデータに変換された後、デジタルーアナログ変換器25によって階段状のアナログ信号に変換され、さらに、基本クロック信号CLK1の16倍の周波数成分を除去して不要輻射を抑制するフィルタ26を通して出力される。

#### 〔第2の実施形態〕

ところで、上述した第1の実施形態では、入力データに基づいてオーバーサンプリング処理によって生成された2n個の零次ホールドされたデータを各データ間隔T<sub>1</sub>、ずつつらしていった、n組のずれたデータを加算するようにしたが、加算する順番等を工夫することにより、回路を簡略化することができる。

図14は、第2の実施形態のデジタルーアナログ変換器の構成を示す図である。例えば、n=8の場合に対応した具体的な構成が示されている。

図14に示すように、本実施形態のデジタルーアナログ変換器は、第1の畳み込み演算回路を構成する9個のD型フリップフロップ31～36、38、39、41と3個の加算器(ADD)37、40、42と、第2の畳み込み演算回路を構成する7個のD型フリップフロップ43～46、48、49、51と3つの加算器(ADD)47、50、52と、第3の畳み込み演算回路を構成するD型フリップフロップ53と加算器(ADD)54と、除算器55、デジタルーアナログ変換器(D/A)56、フィルタ57を含んで構成されている。

第1の畳み込み演算回路では、8個の零次ホールドデータをこれらのデータ間

隔 $T_1$ 、ずつずらした8組のデータに対して同時に加算処理を行う代わりに、一度に間隔 $4T_1$ 、ずらした2組のデータに対して行う第1の加算処理と、一度に間隔 $2T_1$ 、ずらした2組のデータに対して行う第2の加算処理と、間隔 $T_1$ 、ずらした2組のデータに対して行う第3の加算処理に分けて行っている。

具体的には、第1の畳み込み演算回路に含まれる4個のD型フリップフロップ33～36を用いて、順次入力される8個の零次ホールドデータに対して、 $4T_1$ （クロック信号CLK2の4周期分）ずれたデータを生成し、加算器37によってD型フリップフロップ32から出力されるデータとD型フリップフロップ36から出力されるデータに対して1回目の加算処理を行う。また、2個のD型フリップフロップ38、39を用いて、加算器37から出力されるデータに対して、 $2T_1$ ずれたデータを生成し、加算器40によって加算器37の出力データとD型フリップフロップ39から出力されるデータに対して2回目の加算処理を行う。さらに、D型フリップフロップ41を用いて、加算器40から出力されるデータに対して $T_1$ ずれたデータを生成し、加算器42によって加算器40の出力データとD型フリップフロップ41から出力されるデータに対して3回目の加算処理を行う。このようにして、図13に示した8個のD型フリップフロップ4～11と加算器12によって構成された第1の畳み込み演算回路と同じ内容の畳み込み演算が実施される。

同様に、第2の畳み込み演算回路に含まれる4個のD型フリップフロップ43～46を用いて、第1の畳み込み演算回路内の加算器42から出力されるデータに対して、 $4T_1$ ずれたデータを生成し、加算器47によって加算器42の出力データとD型フリップフロップ46から出力されるデータに対して1回目の加算処理を行う。また、2個のD型フリップフロップ48、49を用いて、加算器47から出力されるデータに対して、 $2T_1$ ずれたデータを生成し、加算器50によって加算器47の出力データとD型フリップフロップ49から出力されるデータに対して2回目の加算処理を行う。さらに、D型フリップフロップ51を用いて、加算器50から出力されるデータに対して $T_1$ ずれたデータを生成し、加算器52によって加算器50の出力データとD型フリップフロップ51から出力されるデータに対して3回目の加算処理を行う。このようにして、図13に示した

8個のD型フリップフロップ13～20と加算器21によって構成された第2の畳み込み演算回路と同じ内容の畳み込み演算が実施される。

さらに、第3の畳み込み演算回路に含まれるD型フリップフロップ53は、第2の畳み込み演算回路内の加算器52から出力されるデータを、クロック信号CLK2に同期して取り込む。加算器54は、加算器52から出力されるデータとD型フリップフロップ53から出力されたデータを加算する。このようにして、第3の畳み込み演算回路による畳み込み演算が実施される。

また、加算器54から出力される23ビットのデータは、除算器55において8で除算されて20ビットのデータに変換された後、デジタルーアナログ変換器56によって階段状のアナログ信号に変換され、さらに、基本クロック信号CLK1の16倍の周波数成分を除去して不要輻射を抑制するフィルタ57を通して出力される。

図15は、図14に示したデジタルーアナログ変換器に含まれる第1、第2および第3の畳み込み演算回路における演算の具体例を示す図である。

図15において、(1)で示される各データは、D型フリップフロップ32から加算器37に入力されるデータを示しており、(2)で示される各データは、D型フリップフロップ36から加算器37に入力されるデータを示している。また、(T1)および(3)で示される各データは同じものであり、この加算器37から出力されるデータを示している。(4)で示される各データは、D型フリップフロップ39から加算器40に入力されるデータを示している。また、(T2)および(5)で示される各データは同じものであり、この加算器40から出力されるデータを示している。(6)で示される各データは、D型フリップフロップ41から加算器42に入力されるデータを示している。また、(T3)および(7)で示される各データは同じものであり、この加算器42から出力されるデータを示している。このようにして第1の畳み込み演算回路によって得られたデータ(図15の(T3))は、図4の(T1)に示した畳み込み演算結果と全く同じであることがわかる。

同様に、図15において、(7)で示される各データは、加算器42から加算器47に入力されるデータを示しており、(8)で示される各データは、D型フ

リップフロップ 46 から加算器 47 に入力されるデータを示している。また、(T4) および (9) で示される各データは同じものであり、この加算器 47 から出力されるデータを示している。(10) で示される各データは、D 型フリップフロップ 49 から加算器 50 に入力されるデータを示している。また、(T5) および (11) で示される各データは同じものであり、この加算器 50 から出力されるデータを示している。(12) で示される各データは、D 型フリップフロップ 51 から加算器 52 に入力されるデータを示している。また、(T6) および (A1) で示される各データは同じものであり、この加算器 52 から出力されるデータを示している。このようにして第 2 の畳み込み演算回路によって得られたデータ (図 15 の (T6)) は、図 5 の (T2) に示した畳み込み演算結果と全く同じであることがわかる。

図 16 は、図 15 に示した演算により最終的に得られた波形を示す図である。縦軸が振幅を、横軸が時間をそれぞれ示している。図 16 に示すように、元の零次ホールドされた矩形波が、幅が 2 倍の滑らかな二次関数曲線を包絡線とするオーバーサンプリングされたデータとなり、最大振幅が 128 倍 ( $= 2n^2$ ) となっていることがわかる。

このように、加算処理を行う順番を変更することにより、構成の大幅な簡略化が可能になる。例えば、図 13 に示した構成では、8 入力の加算器 12、21 が用いられていたが、これらは例えば 2 入力の加算器を 7 個、合計 14 個で実現される。これに対し、図 13 に示した構成では、8 入力の 2 つの加算器 12、21 の代わりに 2 入力の 6 個の加算器 37、40、42、47、50、52 が用いられており、2 入力の 8 個の加算器を削減することが可能になる。

#### 〔第 4 の実施形態〕

ところで、上述した各実施形態では、離散的に入力されるデータとして、図 1 に示すような単一のパルス考えたが、この単一のパルスの両側 (前後) に対称的に、振幅、極性が異なるパルスを付加するようにしてもよい。

図 17 は、入力される単一のパルスの両側に対称的な他のパルスを付加した波形を示す図である。

また、図 18 は、入力データに対して図 17 に示すような他のパルスを付加し

た後に、図1～図3に示す動作原理に基づいて複数回の畳み込み演算を行った結果を示す図である。図18に示すように、単一パルスの両側に振幅、極性が異なるパルスを付加した後に複数回の畳み込み演算を行うことにより、正負の値を有する一般的な補間関数を得ることができる。

図19は、零次ホールドされた単一のパルスの両端に別のパルスを付加する回路の構成を示す図である。図19に示すパルス付加回路（データ付加手段に対応する）は、6個のD型フリップフロップ60～64、72と、4個の乗算器65～68と、3つの加算器69～71を含んで構成されている。初段のD型フリップフロップ60には、基本クロック信号CLK1に同期してデータが取り込まれ保持される。縦続接続されて4個のD型フリップフロップ61～64は、基本クロックCLK1の $1/2$ の周波数を有するクロック信号CLK4に同期して動作し、初段のD型フリップフロップ60から出力されるデータを順取り込んで保持する。また、D型フリップフロップ61、64の各出力データは、乗数「-5」の乗算器65、66にそれぞれ入力される。D型フリップフロップ62、63の各出力データは、乗数「31」の乗算器が入力されている。そして、これら4つの乗算器65～68の各条算結果が3つの加算器69～71によって加算される。このようにして、最終段の加算器71からは、図17に示すパルスが出力される。なお、D型フリップフロップの段数、乗算器の乗数や極性等を変更することにより、種々の補間関数を生成することが可能になる。

#### 〔第5の実施形態〕

上述した第1および第2の実施形態では、離散的な入力データの間を二次関数曲線を用いて補間する場合について説明したが、用途によっては、離散的な入力データの間を直線で補間するようにしてもよい。

図20は、直線補間を行う場合の原理を説明するための図である。図1に示したような長さ $2n \cdot T_1$ 、振幅1の零次ホールドデータに対して、これを $T_1$ ずつずらして $2n$ 回加算する畳み込み演算を行うことにより、図20に示すような底辺が $(4n-1) \cdot T_1$ で、振幅が $2n$ の二等辺三角波が得られる。

このように、入力される零次ホールドデータに対して $2n$ 回のオーバーサンプリング処理を行い、 $2n$ 相の畳み込み演算を行うことにより、二等辺三角波を包

絡線とする出力データを得ることができる。したがって、離散な入力データを次々に0次ホールドする場合を考えると、各入力データに対応した二等辺三角波が $2n \cdot T$ 、ずつずれて合成されることになり、出力として、各入力データの $2n$ 倍を通り、これらの間を二等辺三角波に沿ってつなぐ $2n$ 個のデータが得られる。

図21は、直線補間を行う本実施形態のデジタルーアナログ変換器の構成を示す図である。例えば、 $n=4$ の場合に対応した具体的な構成が示されている。

図21に示すように、本実施形態のデジタルーアナログ変換器は、畳み込み演算回路を構成する8個のD型フリップフロップ81～88および加算器（AD）89と、除算器90、デジタルーアナログ変換器（D/A）91、フィルタ92を含んで構成されている。

この畳み込み演算回路に含まれる初段のD型フリップフロップ81にデータが入力されると、2段目以降の7個のD型フリップフロップ82～88は、この初段のD型フリップフロップ81に保持されているデータを、クロック信号CLK5（基本クロック信号CLK1の8倍の周波数を有する）に同期して順番に取り込んでシフトする。加算器88は、8個のD型フリップフロップ81～88のそれぞれに保持されているデータを加算する。このようにして、畳み込み演算が行われる。

加算器88から出力されるデータは、除算器89において8で除算された後、デジタルーアナログ変換器91によって階段状のアナログ信号に変換され、さらに、基本クロック信号CLK1の8倍の周波数成分を除去して不要輻射を抑制するフィルタ92を通して出力される。

図22は、離散的なデータとして、0、3、7、5、-4、0が入力された場合の補間処理の具体例を示す図である。例えば、 $n=4$ の場合の具体例が示されている。

図22の（1）に示すように、まず、入力されたデータに対して、8個の零次ホールドされたデータが生成される。この8個の入力データを、図22の（1）～（8）に示したように、時間 $T$ 、ずつずらして8組のデータを生成し、加算器89によってこれらを加算して8相の畳み込み演算を行うことにより、図22の（T）で示した計算結果が得られる。



図 2 3 は、図 2 2 に示した演算により得られた波形を示す図である。但し、縦軸が振幅を、横軸が時間をそれぞれ示している。図 2 3 に示すように、離散的に入力されるデータが、これらの間を直線でつなぐデータによって補間されたことがわかる。なお、各入力データに対応する出力値の振幅は、入力データの値の 8 倍 ( $= 2n$ ) となっており、図 2 2 に示したデジタルーアナログ変換器では、除算器 9 0 を用いて元の振幅値に戻している。

なお、上述した各実施形態では、本発明をデジタルーアナログ変換器に適用した場合を説明したが、これらの各デジタルーアナログ変換器に含まれる除算器、デジタルーアナログ変換器、フィルタを取り除いて、入力データに対して  $2n$  倍のオーバーサンプリング処理を行うオーバーサンプリング処理回路を構成するようにしてもよい。

#### 産業上の利用可能性

上述したように、本発明によれば、簡単な構成で、零次ホールドされた離散データ補間して滑らかな波形または直線補間された波形を得ることができる。例えば、本発明のデジタルーアナログ変換器に、PLL を備えた発振回路を付加することにより、従来のデジタル音響機器に用いられているデジタルーアナログ変換器と置き換えて、音質の向上を図ることができる。

また、画像処理においてテーブル等を参照することなく、補間データを容易に生成することができるため、きわめて広い応用範囲が考えられる。

## 請 求 の 範 囲

1. 零次ホールドされた入力データに対してオーバーサンプリング処理を行うオーバーサンプリング処理手段と、

前記オーバーサンプリング処理手段によって得られた複数のデータを用いて、2回以上繰り返し畳み込み演算を行う第1の畳み込み演算手段と、

を備え、前記入力データの値の整数倍を通る二次曲線に沿った補間データを生成することを特徴とする補間処理回路。

2. 零次ホールドされた入力データに対してオーバーサンプリング処理を行うオーバーサンプリング処理手段と、

前記オーバーサンプリング処理手段によって得られた複数の第1のデータを用いて畳み込み演算を行い、包絡線の形状が、上辺が元の入力データの幅のほぼ0.5倍であって底辺がほぼ1.5倍の対称台形となる複数の第2のデータを求める第2の畳み込み手段と、

前記第2の畳み込み手段によって得られた複数の前記第2のデータを用いて畳み込み演算を行うことにより、包絡線の形状が、底部の幅が元の入力データのほぼ2倍の滑らかな二次曲線となる複数の第3のデータを求める第3の畳み込み演算手段と、

を備えることを特徴とする補間処理回路。

3. 零次ホールドされた入力データに対してオーバーサンプリング処理を行うオーバーサンプリング処理手段と、

前記オーバーサンプリング処理手段によって得られた複数のデータを用いて畳み込み演算を行い、包絡線の形状が、底辺が前記入力データの幅のほぼ2倍の二等辺三角形となる複数のデータを求める第4の畳み込み手段と、

を備えることを特徴とする補間処理回路。

4. サンプル周期が $2n \cdot T_1$ の零次ホールドされた入力データに対して、時間間隔 $T_1$ でオーバーサンプリング処理を行うオーバーサンプリング処理手段と、

前記オーバーサンプリング処理手段によって得られた複数のデータに対して、これを時間間隔 $T_1$ ずつずらして $n$ 回加算処理を行うことにより、 $n$ 相の畳み込

み演算を行う第5の畳み込み演算手段と、

前記第5の畳み込み演算手段によって得られた複数のデータに対して、これを時間間隔 $T$ 、ずつずらして $n$ 回加算処理を行うことにより、 $n$ 相の畳み込み演算を行う第6の畳み込み演算手段と、

を備えることを特徴とする補間処理回路。

5. 前記第5および前記第6の畳み込み演算手段の少なくとも一方は、

前記オーバーサンプリング処理手段から出力される $n$ 個のデータをシフトさせながら保持するデータ保持手段と、前記データ保持手段に保持された $n$ 個のデータを加算する加算手段とを含んで構成されることを特徴とする請求の範囲第4項記載の補間処理回路。

6. 前記オーバーサンプリング処理手段の前段に、前記入力データの前後に、対称でかつこの入力データに比例した値を有するデータを付加するデータ付加手段を備えることを特徴とする請求の範囲第1項から第5項までのいずれかに記載の補間処理回路。

1/15

図1

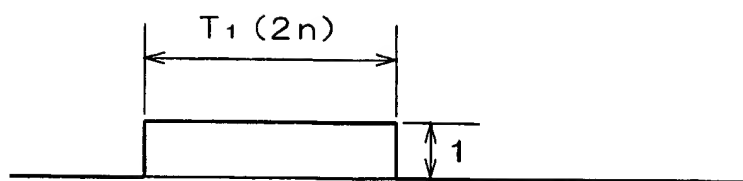


図2

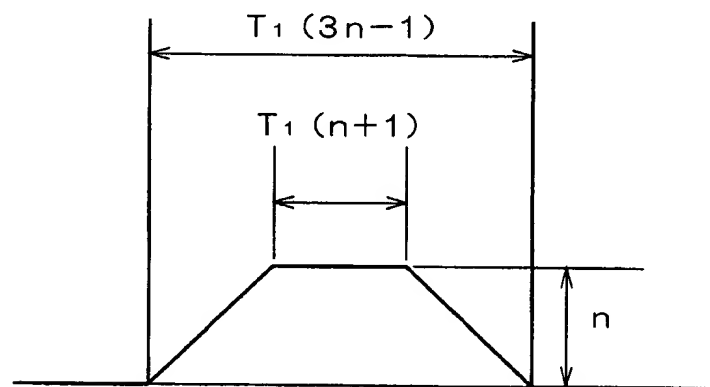
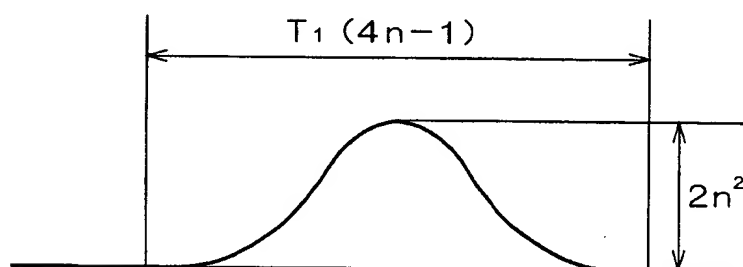


図3







4/15

図6

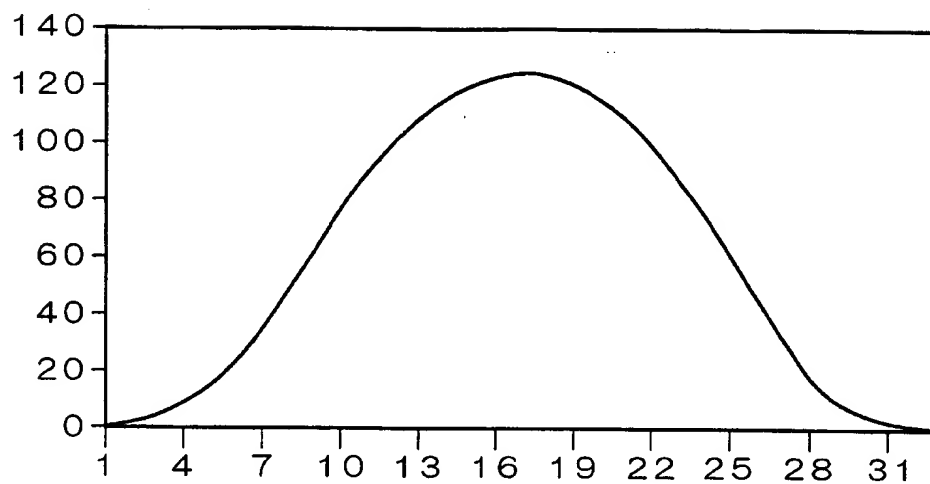


図7

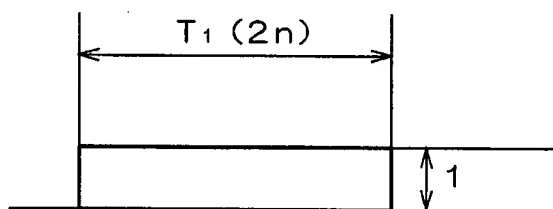
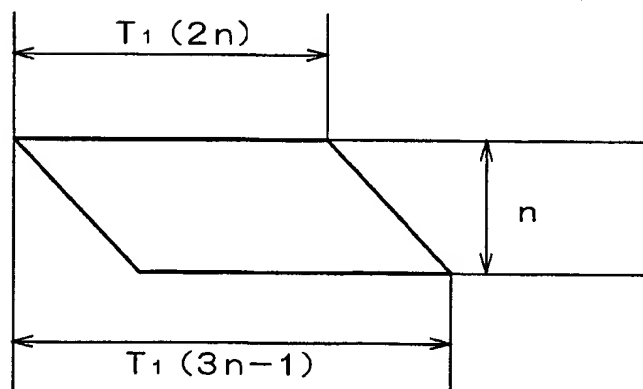


図8



5/15

図9

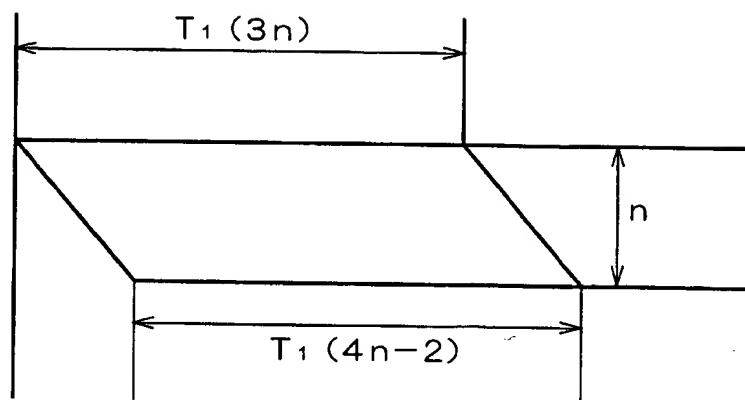
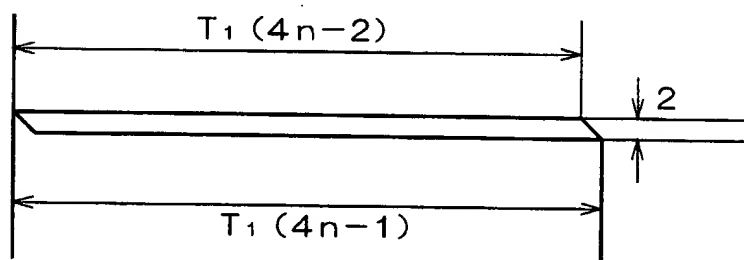


図10







7/15

図 12

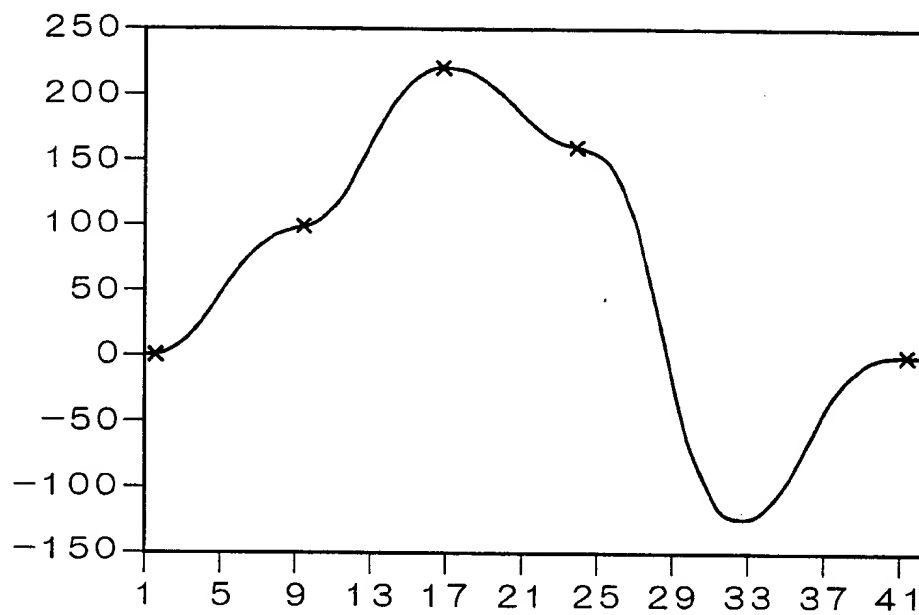


図13

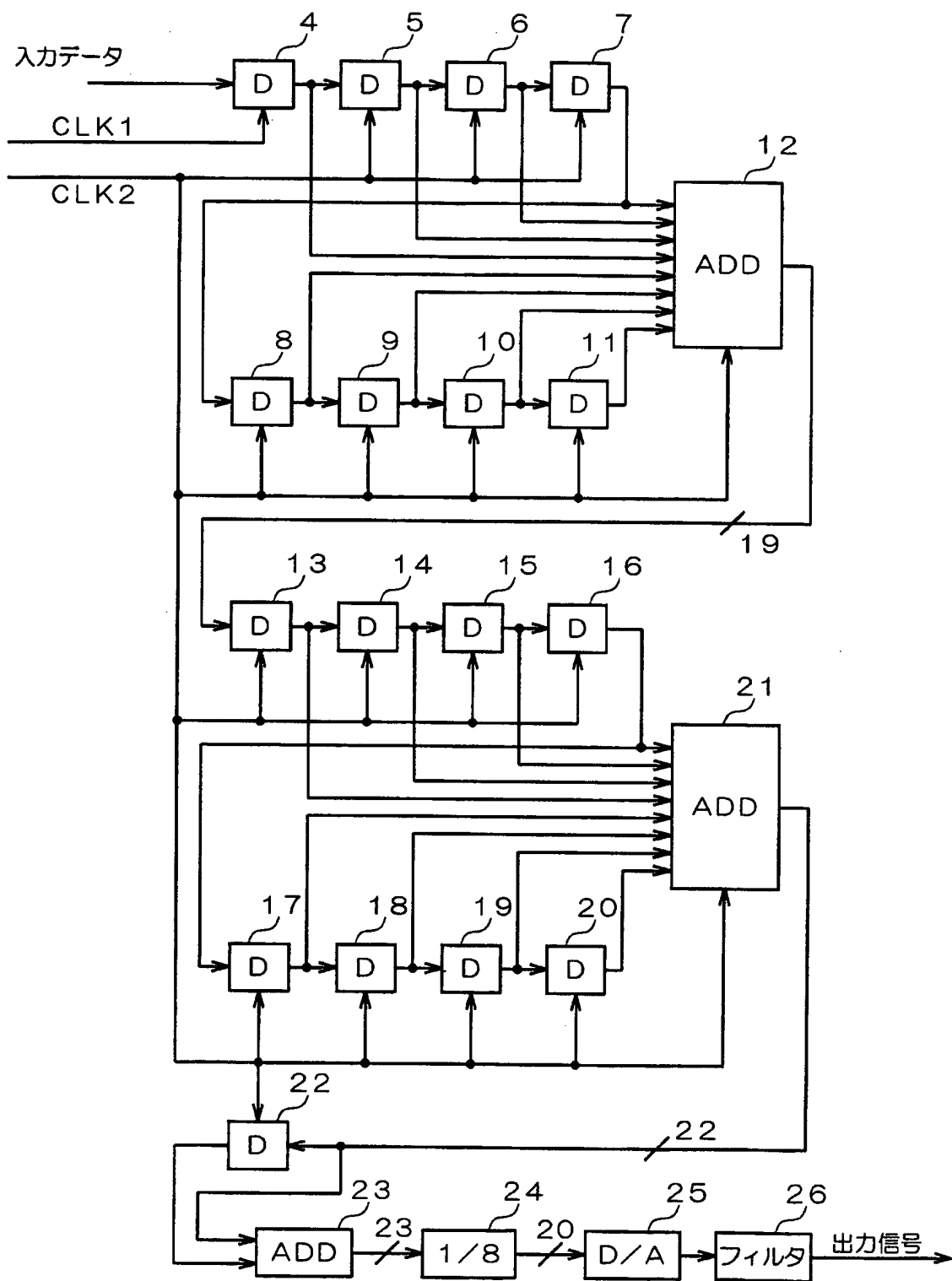
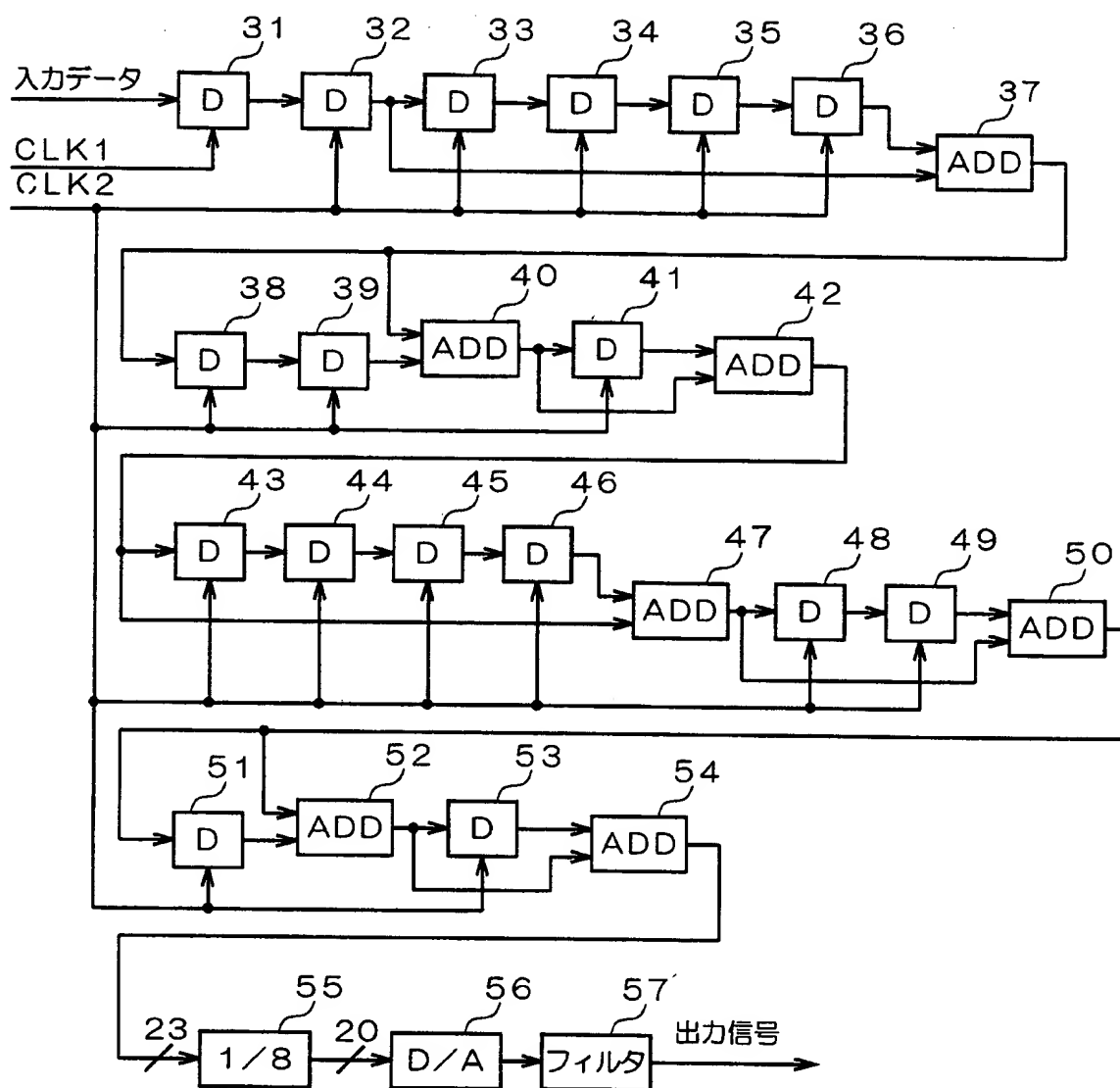


図14





11/15

図16

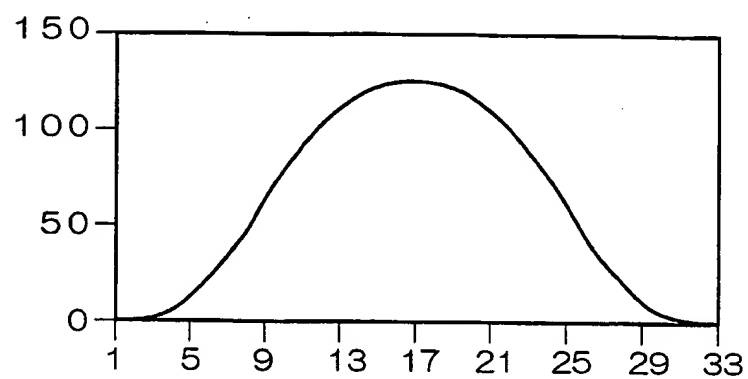


図17

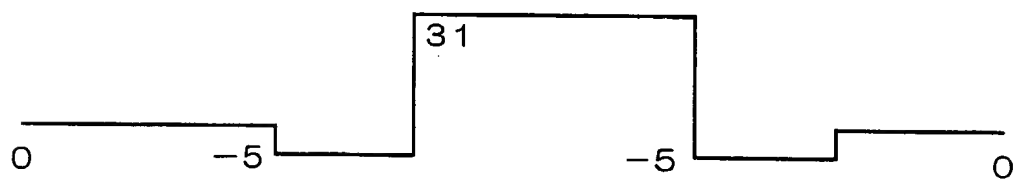


図18

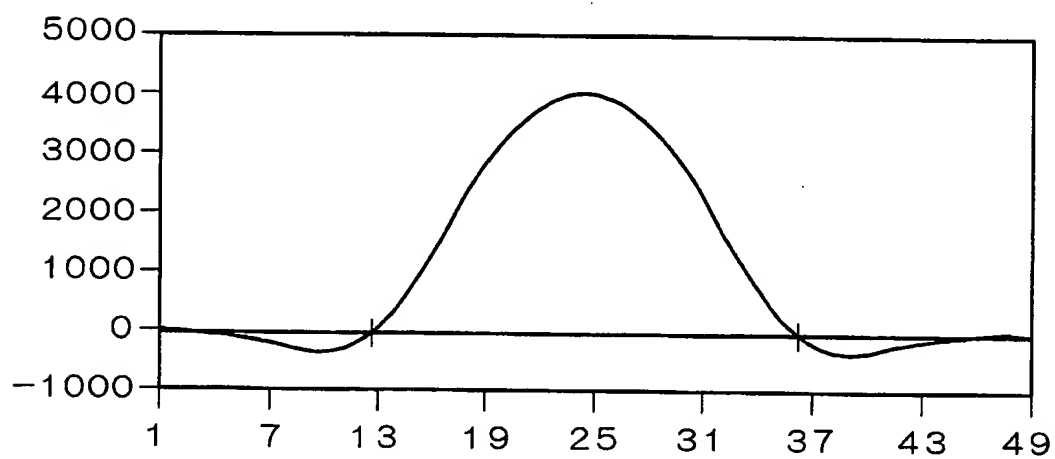


図19

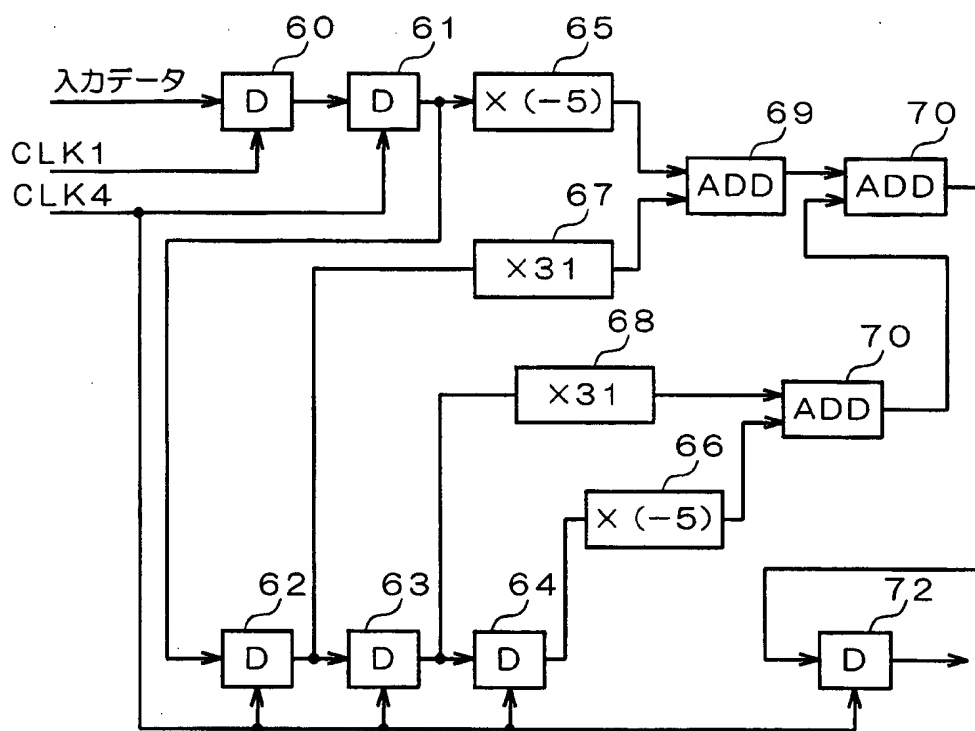


図20

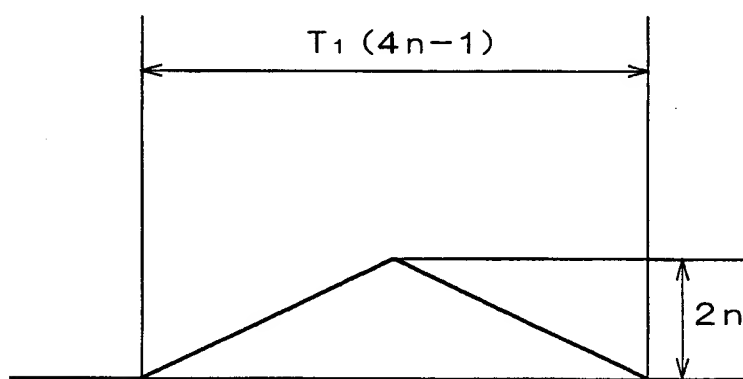
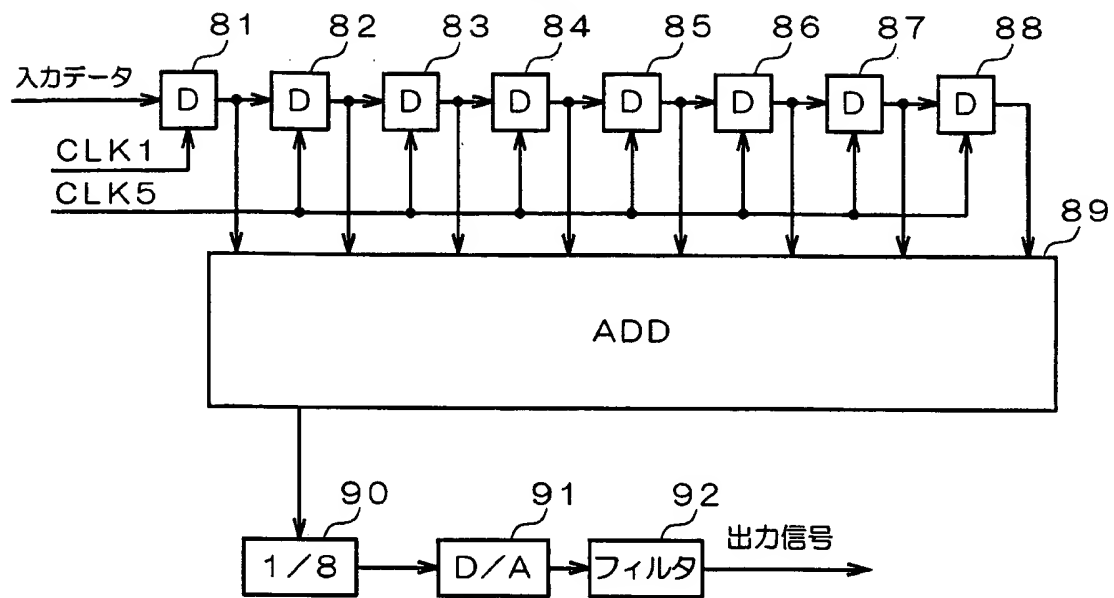


図21

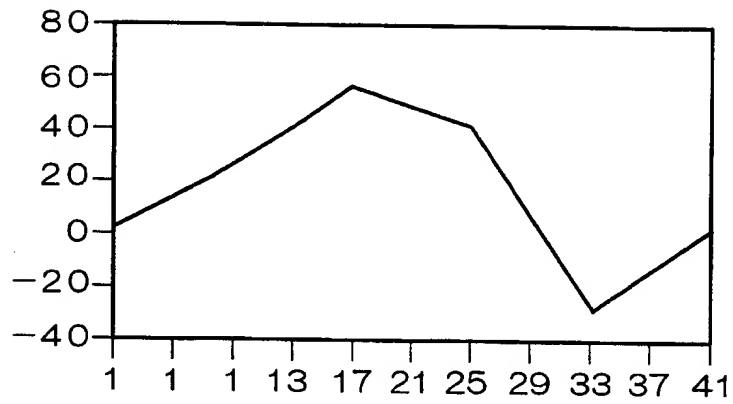






15/15

23



15/pvt/s

## DESCRIPTION

## INTERPOLATION CIRCUIT

## TECHNICAL FIELD

The present invention relates to an interpolation circuit for generating interpolated data from discrete data.

## BACKGROUND ART

Conventional CD (Compact Disk) reproducing devices employ a digital-analog converter of the oversampling method. This digital-analog converter performs interpolation operation for digital data discretely input, employing a sinc function or the like. However, this sinc function converges to 0 at  $\pm\infty$ , and has a shortcoming that if the arithmetic operation is truncated at the finite value, a truncation error occurs in the operation. Generally, a stepwise waveform obtained in the interpolation operation is passed through a low-pass filter, but there is also a drawback that a phase distortion or a distorted output waveform may arise through the low-pass filter.

Particularly, in the above interpolation operation using the sinc function, a method is taken in which the values of the sinc function are stored in a table, and read as needed, or held as the tap coefficients for a digital filter, but this method has a problem that the configuration is complex.

Therefore, an interpolation circuit capable of performing interpolation operation with a simple constitution is desired.

#### DISCLOSURE OF THE INVENTION

The present invention has been achieved in the light of the aforementioned problems, and it is an object of the invention to provide an interpolation circuit capable of performing interpolation operation with a simple constitution.

The interpolation circuit of the invention comprises oversampling operation unit for performing oversampling operation from the zero-order hold input data, and first convolution operation unit for performing convolution operation on plural data obtained by the oversampling operation unit twice or more repeatedly, characterized in that interpolated data is generated along a quadratic function curve passing through the integral multiples of the value of input data.

Also, the interpolation circuit of the invention comprises oversampling operation unit for performing oversampling operation from the zero-order hold input data, second convolution operation unit for performing convolution operation on plural first data obtained by the oversampling operation unit to calculate plural second data enveloped by a symmetrical trapezoid of the shape having an upside of substantially 0.5 times the width of original input data and a base of substantially 1.5 times the width, and third

convolution operation unit for performing convolution operation on the plural second data obtained by the second convolution operation unit to calculate plural third data enveloped by a smooth quadratic function curve having a width of the base being substantially twice that of the original input data.

Also, the interpolation circuit of the invention comprises oversampling operation unit for performing oversampling operation from the zero-order hold input data, and fourth convolution operation unit for performing convolution operation on plural data obtained by the oversampling operation unit to calculate plural data enveloped by an equilateral triangle having a base being substantially twice the width of original input data.

Also, the interpolation circuit of the invention comprises oversampling operation unit for performing oversampling operation from the zero-order hold input data with a sampling period of  $2n \cdot T_1$  at a time interval of  $T_1$ , fifth convolution operation unit for performing convolution operation of  $n$  phases by adding plural data obtained by the oversampling operation unit  $n$  times with the data shifted by the time interval of  $T_1$ , and sixth convolution operation unit for performing convolution operation of  $n$  phases by adding plural data obtained by the fifth convolution operation unit  $n$  times with the data shifted by the time interval of  $T_1$ .

In particular, at least one of the fifth and sixth convolution operation unit desirably comprises data holding

unit for holding  $n$  pieces of data output from the oversampling operation unit while shifting, and addition unit for adding  $n$  pieces of data held in the data holding unit.

In the former stage of the oversampling operation unit, it is desirable to provide data appending unit for appending the data having the symmetrical values proportional to the input data before and after the input data.

#### BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a graph for explaining a principle of interpolation operation that is performed by digital -analog converter of the first embodiment;

FIG. 2 is a graph for explaining a principle of interpolation operation that is performed by digital -analog converter of the first embodiment;

FIG. 3 is a graph for explaining a principle of interpolation operation that is performed by digital -analog converter of the first embodiment;

FIG. 4 is a chart showing a specific example of an interpolation operation;

FIG. 5 is a chart showing a specific example of an interpolation operation;

FIG. 6 is a graph showing a waveform that is finally obtained by arithmetic operations as shown in FIGS. 4 and 5;

FIG. 7 is a diagram showing a waveform corresponding to the partial data shown in FIG. 4;

FIG. 8 is a diagram showing a process for performing the first convolution operation;

FIG. 9 is a diagram showing a process for performing the second convolution operation;

FIG. 10 is a diagram showing a process for performing the third convolution operation;

FIG. 11 is a diagram showing a specific example of the interpolation operation when 0, 3, 7, 5, -4, and 0 are input as the discrete data;

FIG. 12 is a graph showing a waveform that is obtained by arithmetic operation as shown in FIG. 11;

FIG. 13 is a diagram showing the configuration of a digital-analog converter of the first embodiment;

FIG. 14 is a diagram showing the configuration of a digital-analog converter of the second embodiment;

FIG. 15 is a diagram showing a specific example of arithmetic operation in the first, second and third convolution operation circuits included in the digital-analog converter as shown in FIG. 14;

FIG. 16 is a graph showing a waveform that is finally obtained by arithmetic operation as shown in FIG. 15;

FIG. 17 is a diagram showing a waveform with another pulse symmetrically appended on both sides of the single input pulse;

FIG. 18 is a graph showing a result of effecting plural convolution, after appending another pulse of FIG. 17 to the input data;

FIG. 19 is a circuit diagram showing the configuration of a circuit for appending another pulse on both sides of the zero-order hold, single pulse;

FIG. 20 is a graph for explaining the principle of linear interpolation;

FIG. 21 is a circuit diagram showing the configuration of a digital-analog converter for linear interpolation of the fifth embodiment;

FIG. 22 is a diagram showing a specific example of interpolation operation in the case where the discrete input data are 0, 3, 7, 5, -4 and 0; and

FIG. 23 is a graph showing a waveform that is obtained by arithmetic operation as shown in FIG. 22.

#### BEST MODE FOR CARRYING OUT THE INVENTION

Embodiments of a digital-analog converter to which a data interpolation method of the present invention is applied will be described below with reference to the accompanying drawings.

##### [First embodiment]

A digital-analog converter in a first embodiment of the invention performs interpolation operation employing a quadratic function curve connecting the input data smoothly when the discrete digital data is input.

FIGS. 1 through 3 are graphs for explaining the principle of interpolation operation that is performed by the digital-analog converter in this embodiment of the invention,



in which the single data is converted into data interpolated along a quadratic function curve. As shown in FIG. 1, the zero-order hold single data is considered to have an amplitude of 1 and a length of  $2n \cdot T_1$ . When the discrete data is input, the length  $2n \cdot T_1$  for the single data is a cycle period (sampling frequency) of input data. For the data as shown in FIG. 1, the first convolution operation is performed by shifting the data by  $T_1$  and performing oversampling operation from the data, and adding the data  $n$  times. Consequently, a symmetrical trapezoidal wave with the base of  $(3n-1) \cdot T_1$ , the upside of  $(n+1) \cdot T_1$  and the height of  $n$  can be obtained, as shown in FIG. 2. Further, for this symmetrical trapezoidal wave, a second convolution operation is performed by shifting the data by  $T_1$  and adding the data  $n$  times, so that a continuous quadratic function curve with the width of  $(4n-1) \cdot T_1$  and the amplitude of  $2n^2$  can be obtained, as shown in FIG. 3.

In this way, by performing oversampling operation for the zero-order hold input data and then performing convolution operation of  $n$  phases, the output data enveloped by the continuous quadratic function curve can be obtained. Therefore, considering a case of zero-order holding the discrete input data successively, the quadratic function curve corresponding to each input data is generated, while being shifted by  $2n \cdot T_1$ . As a result, the output is  $2n$  pieces of data interpolated along the quadratic function curve passing through and smoothly connecting  $2n^2$  times the input data.

FIGS. 4 and 5 are charts showing a specific example of the above mentioned interpolation operation. Herein, a calculation example with  $n=8$  is shown. The detailed contents of the first convolution operation are shown in FIG. 4, and the detailed contents of the second convolution operation are shown in FIG. 5.

In FIG. 4, each item of data listed at (1) is the zero-order hold data (data after oversampling operation) as shown in FIG. 1. The elapse of time is arranged in the transversal direction, the unit of time being  $T_1$  corresponding to one column. Namely, it is supposed that the input data corresponding to FIG. 1 are 16 pieces of zero-order hold data, with the duration of  $16T_1$  and an amplitude of 1. An 8-phase convolution operation is performed, comprising producing eight sets of data by shifting the zero-order hold data by time  $T_1$ , as shown in (1) through (8) in FIG. 4, and adding them. Consequently, a result of calculation is obtained as listed at  $(T_1)$  in FIG. 4. From this result of calculation, it will be found that a symmetrical trapezoidal wave as shown in FIG. 2 is obtained.

In FIG. 5, each item of data listed at (1) is the data obtained by the first convolution operation, and the same as shown at  $(T_1)$  in FIG. 4. As listed at (1) through (8) in FIG. 5, an 8-phase convolution operation is performed, comprising producing eight sets of data by shifting the data by time  $T_1$ , as shown in (1) through (8) in FIG. 5, and adding them. Consequently, a result of calculation is obtained as listed at  $(T_2)$  in FIG. 5. (A1) of FIG. 5 is the data obtained by

the second convolution operation, and the same as listed at (T2). A two-phase convolution operation (addition of (A1) data and (A2) data) is performed, comprising shifting the data listed at (A1) by  $T_1$  ((A2) in FIG. 5), so that a result of calculation is obtained as listed at (A3) in FIG. 5.

FIG. 6 is a graph showing a waveform that is finally obtained by arithmetic operations as shown in FIGS. 4 and 5. The longitudinal axis indicates the amplitude, and the transversal axis indicates the time, respectively. As shown in FIG. 6, an original rectangular wave of zero-order hold data results in the oversampled data enveloped by a smooth quadratic function curve with a double width, the maximum amplitude being 128 times ( $= 2n^2$ ).

The above example is described employing the single input data. However, in the case where plural pieces of data are successively input, the data oversampled corresponding to each input data are arranged without overlapping each other. Therefore, when the data is input successively at a period of  $2n \cdot T_1$ , an interpolation curve always passes through the integral multiple (128 times) of each item of data.

FIG. 7 is a diagram showing a waveform corresponding to the data of (1) in FIG. 4. This waveform corresponds to a zero-order hold unit pulse with an amplitude of 1 and a width of  $2n \cdot T_1$ . FIG. 8 is a diagram showing a process for performing the first convolution operation, and schematically showing how the amplitude and the width change. Also, FIG. 9 is a diagram showing a process for performing the second convolution

operation, and schematically showing how the amplitude and the width change. FIG. 10 is a diagram showing a process for performing the third convolution operation, and schematically showing how the amplitude and the width change. As shown in FIG. 10, the third convolution operation results in the total width (data length) of plural data after interpolation being  $(4n-1) \cdot T_1$ .

Then, a continuity test for the waveform obtained by the second convolution operation is made. In FIG. 5, with the position in the transversal direction corresponding to  $x$ , the value  $y$  of each item of data at (A3) is obtained in the following way.

For  $0 \leq x \leq n$ , ( $y$  in this interval is denoted as  $y_1$ )

$$\begin{aligned} y_1 &= (1+2+ \dots +x)+(1+2+ \dots +(x-1)) \\ &= x(x+1)/2+(x-1)x/2 \\ &= x^2 \end{aligned} \quad \dots (1)$$

For  $n \leq x \leq 3n$ , ( $y$  in this interval is denoted as  $y_2$ )

$$\begin{aligned} y_2 &= 2(1+2+ \dots +n)-(1+2+ \dots +(x-n)) \\ &\quad +n(2x-2n-1) \\ &= n(n+1)-(x-n)^2+n(2x-2n-1) \\ &= -x^2+4nx-2n^2 \end{aligned} \quad \dots (2)$$

For  $3n \leq x \leq 4n$ , ( $y$  in this interval is denoted as  $y_3$ )

$$\begin{aligned} y_3 &= (-x+4n)^2 \\ &= x^2-8nx+16n \end{aligned} \quad \dots (3)$$

In this way, it will be found that  $y$  is in a quadratic expression of  $x$ .

The inclination at  $x = n$  is obtained as follows.

$$dy_1/dx = 2x = 2n$$

$$dy_2/dx = -2x+4n = 2n$$

Since both values are equal to  $2n$ , indicating the inclinations at  $x = n$  are the same, it will be found that the data is smoothly connected.

Also, the inclination at  $x=3n$  is obtained as follows.

$$dy_2/dx = -2x+4n = -2n$$

$$dy_3/dx = 2x-8n = -2n$$

Since both values are equal to  $-2n$ , indicating that the inclinations at  $x=3n$  are the same, it will be found that the data is smoothly connected.

FIG. 11 is a diagram showing a specific example of the interpolation operation when 0, 3, 7, 5, -4, and 0 are input as the discrete data. For example, the specific example is shown in a case of  $n=4$ .

As listed at (1) in FIG. 11, first of all, eight zero-order hold oversampled data are generated from the input data. A four-phase convolution operation is performed, comprising generating four sets of data by shifting the eight pieces of input data by time  $T_1$ , as listed at (1) through (4) in FIG. 11, and then adding them, whereby a result of calculation can be obtained as listed at (5) in FIG. 11.

Similarly, a four-phase convolution operation is performed, comprising generating four sets of data by shifting the first convolution operation result as obtained in this way by time  $T_1$ , as listed at (5) through (8) in FIG. 11, and then adding them, whereby a result of calculation can be

obtained as listed at (A1) in FIG. 11. Then a two-phase convolution operation (addition of (A1) data and (A2) data) is performed, comprising further shifting the data listed at (A1) by  $T_1$  ((A2) in FIG. 11). Consequently, a calculation result is obtained as listed at (A3) in FIG. 11.

FIG. 12 is a graph showing a waveform that is obtained by arithmetic operation as shown in FIG. 11. The longitudinal axis indicates the amplitude, and the transversal axis indicates the time. As shown in FIG. 12, it can be found that the discrete input data is interpolated by the data connect with these data by quadratic function curve. The amplitude of output value corresponding to each input data is 32 times ( $=2n^2$ ) the value of input data.

FIG. 13 is a diagram showing the configuration of a digital-analog converter in this embodiment of the invention. For example, a specific configuration is shown in a case of  $n=8$ .

As shown in FIG. 13, the digital-analog converter of this embodiment comprises eight D flip-flops 4 through 11 and an adder (ADD) 12 making up a first convolution operation circuit, eight D flip-flops 13 through 20 and an adder (ADD) 21 making up a second convolution operation circuit, a D flip-flop 22 and an adder (ADD) 23 making up a third convolution operation circuit, a divider 24, a digital-analog converter (D/A) 25, and a filter 26.

A basic clock signal CLK1 has the same frequency as the sampling frequency of the discrete input data, and is input

into an initial stage D flip-flop 4. The discrete input data is fetched into the D flip-flop 4 in synchronism with this basic clock signal CLK1, and held. Also, a clock signal CLK2 has a frequency of 16 times the basic clock signal CLK1. All the D flip-flops at the second stage and beyond perform the operation of sampling the data in synchronism with the clock signal CLK2. The oversampling operation unit is constituted by two D flip-flops 4, 5 into which the clock signals CLK1, CLK2 having different frequencies are input.

If 16-bit data is input into the initial stage D flip-flop 4 in the first convolution operation circuit, seven D flip-flops 5 through 11 at the second stage and beyond accept the data held in this initial stage D flip-flop 4 in synchronism with the clock signal CLK2 in order and successively and shift the data. The adder 12 adds the data held in the eight D flip-flops 4 through 11. In this way, a result of arithmetic operation as listed at (T<sub>1</sub>) in FIG. 4 can be obtained in the adder 12 within the first convolution operation circuit.

Also, eight D flip-flops 13 through 20 included in the second convolution operation circuit accept the 19-bit data output from the adder 12 within the first convolution operation circuit in synchronism with the clock signal CLK2 in order and successively and shift the data. The adder 21 adds the data held in the eight D flip-flops 13 through 20. In this way, a result of arithmetic operation as listed at (T<sub>2</sub>) in FIG. 5 can be obtained in the adder 21 within the second convolution operation circuit.

Further, the D flip-flop 22 included in the third convolution operation circuit accepts the 22-bit data output from the adder 21 within the second convolution operation circuit in synchronism with the clock signal CLK2. The adder 23 adds the data output from the adder 21 and the data held in the D flip-flop 22. In this way, a result of arithmetic operation as listed at (A3) in FIG. 5 can be obtained in the adder 23 within the third convolution operation circuit.

The 23-bit data output from the adder 23 is divided by 8 in the divider 24, and converted into the 20-bit data. This 20-bit data is converted into a stepwise analog signal by the digital-analog converter 25, which is then passed through the filter 26 for suppressing unnecessary radiation by removing a frequency component of 16 times the basic clock signal CLK1, and output.

[Second embodiment]

By the way, in the first embodiment as described above,  $2n$  pieces of zero-order hold data are produced by the oversampling operation on the basis of the input data and shifted by the data interval of  $T_1$ , and  $n$  sets of shifted data are added. However, the circuit can be simplified by modifying the addition order.

FIG. 14 is a diagram showing the configuration of a digital-analog converter according to a second embodiment of the invention. For example, a specific configuration is shown in a case of  $n=8$ .



As shown in FIG. 14, the digital-analog converter of this embodiment comprises nine D flip-flops 31 through 36, 38, 39, and 41 and three adders (ADD) 37, 40, 42 making up a first convolution operation circuit, seven D flip-flops 43 through 46, 48, 49 and 51 and three adders (ADD) 47, 50, 52 making up a second convolution operation circuit, a D flip-flop 53 and an adder (ADD) 54 making up a third convolution operation circuit, a divider 55, a digital-analog converter (D/A) 56, and a filter 57.

Instead of adding eight sets of data that are obtained by shifting eight pieces of zero-order hold data by the data interval  $T_1$ , the first convolution operation circuit involves a first addition operation of adding two sets of data shifted by the interval  $4T_1$  at a time, a second addition operation of adding two sets of data shifted by the interval  $2T_1$  at a time, and a third addition operation of adding two sets of data shifted by the interval  $T_1$ .

More specifically, employing four D flip-flops 33 through 36 included in the first convolution operation circuit, the data shifted by  $4T_1$  (i.e., four periods of the clock signal CLK2) are generated from eight pieces of zero-order hold data successively input, and the first addition operation of adding the data output from the D flip-flop 32 and the data output from the D flip-flop 36 is performed by the adder 37. Also, employing two D flip-flops 38, 39, the data shifted by  $2T_1$  are generated from the data output from the adder 37, and the second addition operation of adding the data output from the

adder 37 and the data output from the D flip-flop 39 is performed by the adder 40. Further, employing the D flip-flop 41, the data shifted by  $T_1$  is generated from the data output from the adder 40, and the third addition operation of adding the data output from the adder 40 and the data output from the D flip-flop 41 is performed by the adder 42. In this way, the same convolution operation is performed in the same manner as the first convolution operation circuit constituted by the eight D flip-flops 4 through 11 and the adder 12 as shown in FIG. 13.

Similarly, employing four D flip-flops 43 through 46 included in the second convolution operation circuit, the data shifted by  $4T_1$  are generated from the data output from the adder 42 within the first convolution operation circuit, and the first addition operation of adding the data output from the adder 42 and the data output from the D flip-flop 46 is performed by the adder 47. Also, employing two D flip-flops 48, 49, the data shifted by  $2T_1$  is generated from the data output from the adder 47, and the second addition operation of adding the data output from the adder 47 and the data output from the D flip-flop 49 is performed by the adder 50. Further, employing the D flip-flop 51, the data shifted by  $T_1$  is generated from the data output from the adder 50, and the third addition operation of adding the data output from the adder 50 and the data output from the D flip-flop 51 is performed by the adder 52. In this way, the same convolution operation is performed in the same manner as the second convolution operation circuit

constituted by the eight D flip-flops 13 through 20 and the adder 21 as shown in FIG. 13.

Further, the D flip-flop 53 included in the third convolution operation circuit accepts the data output from the adder 52 within the second convolution operation circuit in synchronism with the clock signal CLK2. The adder 54 adds the data output from the adder 52 and the data output from the D flip-flop 53. In this way, the convolution operation is performed by the third convolution operation circuit.

The 23-bit data output from the adder 54 is divided by 8 in the divider 55, and converted into the 20-bit data. This 20-bit data is then converted into a stepwise analog signal by the digital-analog converter 56, which is then passed through a filter 57 for suppressing unnecessary radiation by removing a frequency component of 16 times the basic clock signal CLK1, and output.

FIG. 15 is a diagram showing a specific example of arithmetic operation in the first, second and third convolution operation circuits included in the digital-analog converter as shown in FIG. 14.

In FIG. 15, each item of data as listed at (1) shows the input data from the D flip-flop 32 into the adder 37, and each item of data as listed at (2) shows the data input from the D flip-flop 36 into the adder 37. Also, each item of data as listed at (T<sub>1</sub>) and (3) is the same, and is output from the adder 37. Each data as listed at (4) shows the data input from the D flip-flop 39 into the adder 40. Also, each item

of data as listed at (T2) and (5) is the same, and is output from the adder 40. Each data as listed at (6) shows the data input from the D flip-flop 41 into the adder 42. Also, each item of data as listed at (T3) and (7) is the same, and is output from the adder 42. In this way, it will be found that the data ((T3) in FIG. 15) obtained by the first convolution operation circuit is exactly the same as the result of convolution operation as listed at (T<sub>1</sub>) in FIG. 4.

Similarly, in FIG. 15, each item of data as listed at (7) shows the data input from the adder 42 into the adder 47, and each item of data as listed at (8) shows the data input from the D flip-flop 46 into the adder 47. Also, each item of data as listed at (T4) and (9) is the same, and is output from the adder 47. Each data as listed at (10) shows the data input from the D flip-flop 49 into the adder 50. Also, each item of data as listed at (T5) and (11) is the same, and is output from the adder 50. Each data as listed at (12) shows the data input from the D flip-flop 51 into the adder 52. Also, each item of data as listed at (T6) and (A1) is the same, and is output from the adder 52. In this way, it will be found that the data ((T6) in FIG. 15) obtained by the second convolution operation circuit is exactly the same as the result of convolution operation as listed at (T2) in FIG. 5.

FIG. 16 is a graph showing a waveform that is finally obtained by arithmetic operation as shown in FIG. 15. The longitudinal axis indicates the amplitude, and the transversal axis indicates the time, respectively. As shown in FIG. 16,

an original rectangular wave of zero-order hold data results in the oversampled data enveloped by a smooth quadratic function curve with a double width, the maximum amplitude being 128 times ( $= 2n^2$ ).

In this way, the configuration can be greatly simplified by changing the order of addition. For example, two adders 12, 21 having eight-input are employed in the configuration as shown in FIG. 13, but they can be implemented by seven two-input adders, or a total of 14 adders. On the other hand, six two-input adders 37, 40, 42, 47, 50 and 52 are employed, instead of two eight-input adders 12, 21 in the configuration as shown in FIG. 14, and two adders 12, 21 having eight-input can be removed.

[Fourth embodiment]

By the way, in the above embodiments, the discrete input data is considered to be a single pulse as shown in FIG. 1. However, a pulse with different amplitude and polarity may be symmetrically appended on both sides (fore and back sides) of this single pulse.

FIG. 17 is a diagram showing a waveform with another pulse symmetrically appended on both sides of the single input pulse.

FIG. 18 is a graph showing a result of effecting plural convolution operations on the basis of the operational principle as shown in FIGS. 1 through 3, after appending another pulse of FIG. 17 to the input data. As shown in FIG. 18, a typical interpolation function having positive and negative values can be obtained by performing plural convolution

operations after appending a pulse with different amplitude and polarity on both sides of the single pulse.

FIG. 19 is a diagram showing the configuration of a circuit for appending another pulse on both sides of the zero-order hold, single pulse. A pulse appending circuit (corresponding to data appending unit) as shown in FIG. 19 comprises six D flip-flops 60 through 64, 72, four multipliers 65 through 68, and three adders 69 through 71. An initial stage D flip-flop 60 fetches the data in synchronism with the basic clock signal CLK1 and holds it. Four D flip-flops 61 through 64 connected in tandem operate in synchronism with a clock signal CLK4 having a frequency of one-half the basic clock signal CLK1, to accept the data output from the initial stage D flip-flop 60 in order and successively and hold it. Each output data of the D flip-flop 61, 64 is input into the multiplier 65, 66 having a multiplying factor "-5", respectively. Each output data of the D flip-flop 62, 63 is input into the multiplier with a multiplying factor "31". And the results of multiplication from each of these four multipliers 65 through 68 are added by three adders 69 through 71. In this way, a pulse of FIG. 17 is output from a final stage adder 71. It should be noted that various interpolation functions can be produced by changing the number of stages for the D flip-flop and the multiplying factor or polarity of the multiplier.

[Fifth embodiment]

In the first and second embodiments as previously described, the discrete input data is interpolated between

the data by means of a quadratic function curve. However, the data may be interpolated using the straight line for various purposes.

FIG. 20 is a graph for explaining the principle of linear interpolation. A convolution operation of shifting the zero-order hold data with a length of  $2n \cdot T_1$  and an amplitude of 1 as shown in FIG. 1 by  $T_1$  and adding them  $2n$  times, so that an equilateral triangular wave with a base of  $(4n-1) \cdot T_1$  and an amplitude of  $2n$  as shown in FIG. 20 can be obtained.

In this way, the output data enveloped by the equilateral triangular wave can be obtained by oversampling the zero-order hold input data  $2n$  times and performing the  $2n$ -phase convolution operation. Accordingly, considering the case of zero-order holding the discrete input data successively, the equilateral triangular wave corresponding to each input data is generated, shifted by  $2n \cdot T_1$ , and the output data is  $2n$  pieces of data passing through  $2n$  times the input data and connecting them along the equilateral triangular wave.

FIG. 21 is a diagram showing the configuration of a digital-analog converter for linear interpolation in this embodiment. For example, a specific configuration in a case of  $n=4$  is shown.

As shown in FIG. 21, the digital-analog converter of this embodiment comprises eight D flip-flops 81 through 88 and an adder (ADD) 89 making up a convolution operation circuit, a divider 90, a digital-analog (D/A) converter 91, and a filter 92.

If the data is input into an initial stage D flip-flop 81 included in this convolution operation circuit, seven D flip-flops 82 through 88 at the second stage and beyond fetch the data held in this initial stage D flip-flop 81 in synchronism with a clock signal CLK5 (having a frequency of eight times the basic clock signal CLK1) in succession and shift them. The adder 88 adds the data held in eight D flip-flops 81 through 88, respectively. In this way, the convolution operation is performed.

The data output from the adder 88 is divided by 8 in the divider 89, and then converted into a stepwise analog signal by the digital-analog converter 91, which is then passed through a filter 92 for suppressing unnecessary radiation by removing a frequency component of eight times the basic clock signal CLK1, and output.

FIG. 22 is a diagram showing a specific example of interpolation operation in the case where the discrete input data are 0, 3, 7, 5, -4 and 0. For example, a specific example in a case of  $n=4$  is shown.

As listed at (1) in FIG. 22, first of all, eight pieces of zero-order hold data is generated for the input data. An eight-phase convolution operation is performed, comprising generating eight sets of input data by shifting the eight pieces of input data by time  $T_1$ , as listed at (1) through (8) in FIG. 22, and then adding them in the adder 89, so that a result of calculation as listed at (T) in FIG. 22 can be obtained.



FIG. 23 is a graph showing a waveform that is obtained by arithmetic operation as shown in FIG. 22. The longitudinal axis indicates the amplitude, and the transversal axis indicates the time. As shown in FIG. 23, it can be found that the discrete input data is interpolated by data connecting with these data by a straight line. The amplitude of output value corresponding to each input data is eight times ( $=2n$ ) the value of input data. The digital-analog converter as shown in FIG. 22 restores the amplitude to an original value, employing a divider 90.

In the above embodiments, this invention is applied to the digital-analog converter. However, an oversampling circuit may be configured in which an oversampling operation of  $2n$  times the input data is performed by removing the divider, the digital-analog converter and the filter included in each digital-analog converter.

#### INDUSTRIAL APPLICABILITY

As described above, with this invention, the zero-order hold discrete data can be interpolated with a simple constitution to obtain a smooth waveform or a linearly interpolated waveform. For example, the digital-analog converter of this invention may be replaced with the conventional digital-analog converter used for the digital audio equipment by adding an oscillation circuit with PLL to improve the quality of sound.

Since the interpolated data can be easily generated without referring to the table in the image processing, an extremely wide application range can be considered.

CAIMS

1. An interpolation circuit comprising:

oversampling operation unit for performing oversampling operation from zero-order hold input data; and

first convolution operation unit for performing convolution operation on plural data obtained by said oversampling operation unit twice or more repeatedly,

characterized in that interpolated data is generated along a quadratic function curve passing through the integral multiples of the value of said input data.

2. An interpolation circuit, characterized by comprising:

oversampling operation unit for performing oversampling operation from zero-order hold input data;

second convolution operation unit for performing convolution operation on plural first data obtained by said oversampling operation unit to calculate plural second data enveloped by a symmetrical trapezoid of the shape having an upside of substantially 0.5 times a width of original input data and a base of substantially 1.5 times the width; and

third convolution operation unit for performing convolution operation on said plural second data obtained by said second convolution operation unit to calculate plural third data enveloped by a smooth quadratic function curve having the width of a base being substantially twice the width of original input data.

3. An interpolation circuit, characterized by comprising:

*Express Mail #EL898005562US*

oversampling operation unit for performing oversampling operation from zero-order hold input data; and

fourth convolution operation unit for performing convolution operation on plural data obtained by said oversampling operation unit to calculate plural data enveloped by an equilateral triangle having the width of a base being substantially twice the width of said input data.

4. An interpolation circuit, characterized by comprising:

oversampling operation unit for performing oversampling operation from zero-order hold input data with a sampling period of  $2n \cdot T_1$  at a time interval of  $T_1$ ;

fifth convolution operation unit for performing convolution operation of  $n$  phases by adding plural data obtained by said oversampling operation unit  $n$  times with the data shifted by the time interval of  $T_1$ ; and

sixth convolution operation unit for performing convolution operation of  $n$  phases by adding plural data obtained by said fifth convolution operation unit  $n$  times with the data shifted by the time interval of  $T_1$ .

5. The interpolation circuit according to claim 4, characterized in that at least one of said fifth and sixth convolution operation unit comprises data holding unit for holding  $n$  pieces of data output from said oversampling operation unit while shifting, and addition unit for adding  $n$  pieces of data held in said data holding unit.

6. The interpolation circuit according to any one of claims 1 through 5, characterized by comprising data appending unit

for appending data having the symmetrical values proportional to the input data before and after said input data in the former stage of said oversampling operation unit.

# ABSTRACT

An interpolation circuit capable of performing interpolation operation with a simple constitution. A 16-times oversampling from discrete data is performed by D flip-flops 4, 5. A first convolution operation is performed by D flip-flops 4 through 11 and an adder 12, on the result of which a second convolution operation is performed by D flip-flops 13 through 20 and an adder 21. Data interpolated along a quadratic function curve interpolating the discrete data is obtained from the adder 21.

## 国際調査報告

(法8条、法施行規則第40、41条)  
[PCT18条、PCT規則43、44]

|                            |   |                         |
|----------------------------|---|-------------------------|
| 出願人又は代理人<br>の書類記号 FLP0075P | 今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。 |                         |
| 国際出願番号<br>PCT/JPO0/03040   | 国際出願日<br>(日.月.年) 11.05.00                           | 優先日<br>(日.月.年) 11.05.99 |
| 出願人(氏名又は名称)<br>酒井 康江       |   |                         |

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、  
第 2 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F17/10

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F17/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2000年  
日本国実用新案登録公報 1996-2000年  
日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICST 科学技術文献ファイル, 「DA変換\*フィルタ\*補間」

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求の範囲の番号 |
|-----------------|--|------------------|
| Y               | Qi Wang et. al., 「Circuit Design of A/D Converter Using Spline Functions」, Signal Processing, 3月 1989 Vol. 16, No. 3, p279-288 | 1-6              |
| Y               | 桜井 明. スプライン関数入門. 東京: 東京電機大学出版局, 1986, 第61頁, 第3行-第103頁, 第1行   | 1-6              |
| A               | JP, 5-282354, A (株式会社アドバンテスト), 29. 10月. 1993 (29. 10. 93), 全文 (ファミリーなし)  | 1-6              |

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

09. 08. 00

国際調査報告の発送日

22.08.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 茂和

5M

8837

電話番号 03-3581-1101 内線 6438



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03040

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G06F17/10

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F17/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2000  
Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
JICST FILE, "DA conversion\*filter\*interpolation"

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No. |
|-----------|--|-----------------------|
| Y         | Qi Wang et.al., "Circuit Design of A D/A Converter Using Spline Functions", Signal Processing, March, 1989, Vol.16, No.3, pp.279-288 | 1-6                   |
| Y         | Akira Sakurai, Spline Kansu Nyumon, Tokyo: Tokyo Denki Daigaku Shuppan kyoku, 1986, page 61, lines 3 to page 103, line 1             | 1-6                   |
| A         | JP, 5-282354, A (Advantest Corporation), 29 October, 1993 (29.10.93), Full text (Family: none)                                       | 1-6                   |

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

- |   |  |
|---|--|
| * Special categories of cited documents:  | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  |
| "A" document defining the general state of the art which is not considered to be of particular relevance  | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone   |
| "E" earlier document but published on or after the international filing date  | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family  |
| "O" document referring to an oral disclosure, use, exhibition or other means  |  |
| "P" document published prior to the international filing date but later than the priority date claimed  |  |

Date of the actual completion of the international search  
09 August, 2000 (09.08.00)

Date of mailing of the international search report  
22 August, 2000 (22.08.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

特許協力条約

発信人 日本国特許庁 (国際予備審査機関)

|   |
|---|
| 出願人代理人<br>雨貝 正彦   |
| あて名   |
| 〒 169-0074<br>東京都新宿区北新宿1丁目8番15号<br>北新宿OCビル2階<br>雨貝特許事務所 |

PCT見解書

(法第13条)  
[PCT規則66]

発送日  
(日.月.年)

05.06.01

出願人又は代理人  
の書類記号

FLP0075P

応答期間

上記発送日から 2 月以内

国際出願番号

PCT/JPO0/03040

国際出願日

(日.月.年) 11.05.00

優先日

(日.月.年) 11.05.99

国際特許分類 (IPC)

Int. Cl. 17/17

出願人 (氏名又は名称)

酒井 康江

1. これは、この国際予備審査機関が作成した 2 回目の見解書である。

2. この見解書は、次の内容を含む。

I ☒ 見解の基礎

II ☐ 優先権

III ☐ 新規性、進歩性又は産業上の利用可能性についての見解の不作成

IV ☐ 発明の単一性の欠如

V ☒ 法第13条 (PCT規則66.2(a)(ii)) に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明

VI ☐ ある種の引用文献

VII ☐ 国際出願の不備

VIII ☒ 国際出願に対する意見

3. 出願人は、この見解書に応答することが求められる。

いつ?

上記応答期間を参照すること。この応答期間に間に合わないときは、出願人は、法第13条 (PCT規則66.2(d)) に規定するとおり、その期間の経過前に国際予備審査機関に期間延長を請求することができる。ただし、期間延長が認められるのは合理的な理由があり、かつスケジュールに余裕がある場合にに限られることに注意されたい。

どのように?

法第13条 (PCT規則66.3) の規定に従い、答弁書及び必要な場合には、補正書を提出する。補正書の様式及び官語については、法施行規則第62条 (PCT規則66.8及び66.9) を参照すること。

なお

補正書を提出する追加の機会については、法施行規則第61条の2 (PCT規則66.4) を参照すること。

補正書及び/又は答弁書の審査官による考慮については、PCT規則66.4の2を参照すること。審査官との非公式の連絡については、PCT規則66.6を参照すること。

応答がないときは、国際予備審査報告は、この見解書に基づき作成される。

4. 国際予備審査報告作成の最終期限は、PCT規則69.2の規定により

11.09.01

である。

名称及びあて先

日本国特許庁 (IPEA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

清木 泰

5B

2944

電話番号

03-3581-1101 内線 3545

## I. 見解の基礎

1. この見解書は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に回答するために提出された差替え用紙は、この見解書において「出願時」とする。)

☒ 出願時の国際出願書類

- ☐ 明細書 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 \_\_\_\_\_ 項、 出願時に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 PCT19条の規定に基づき補正されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 国際予備審査の請求書と共に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 図面 第 \_\_\_\_\_ ページ/図、 出願時に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 国際予備審査の請求書と共に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき見解書を作成した。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この見解書は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

## V. 新規性、進歩性又は産業上の利用可能性についての法第13条（PCT規則66.2(a)(ii)に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性 (N)

請求の範囲

1, 2, 4-6

有

請求の範囲

3

無

進歩性 (IS)

請求の範囲

1, 2, 4-6

有

請求の範囲

3

無

産業上の利用可能性 (IA)

請求の範囲

1-6

有

請求の範囲

無

## 2. 文献及び説明

文献1: Qi Wang et. al., 「Circuit Design of A D/A Converter Using Spline Functions」, Signal Processing, 3月 1989 Vol. 16, No. 3, p. 279-288

文献2: 桜井明. スプライン関数入門. 東京: 東京電機大学出版局, 1986, 第7頁第21行-第8頁第22行, 第61頁第3行-第103頁第1行

文献3: JP, 8-330957, A (株式会社ケンウッド)  
13. 12月. 1996 (13. 12. 96)  
段落番号【0012】, 第2-4図

請求の範囲 1, 2, 4-6

文献1には、無限個の観測値を補間する補間関数の個々の値を求めるときに、有限個の観測値に基づいて演算することによって補間関数を求める回路が開示されている。

また、文献2には、階段関数を複数回不定積分することによりスプライン関数を求め、そのようなスプライン関数を用いることにより、データ点を通るスプライン関数を求めることが開示されている。

しかしながら、零次ホールドされた入力データに対して2回以上繰り返し畳み込み演算を行い、入力データの値の整数倍を通る二次曲線に沿った補間データを生成する補間処理回路に関しては、国際調査報告で列記した文献、および見解書で新たに引用した文献3のいずれにも、記載も示唆もされていない。

## Ⅶ. 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

請求の範囲 1－3 に記載された「畳み込み演算」は、入力データに対する演算の結果として生成されたデータによって表現されていることから、この演算がどのようなものか不明瞭である。

請求の範囲 1 には、畳み込み演算を 2 回以上繰り返して、二次曲線に沿った補間データを生成することが記載されている。しかしながら、畳み込み演算を 3 回以上繰り返す場合に関しては、明細書に記載されていない。従って、請求の範囲 1 の前記記載は、畳み込み演算を 3 回以上繰り返した場合について、明細書により十分な裏付けがなされていない。(二次曲線に沿うデータが生成されるのは畳み込み演算を 2 回繰り返す場合のみであり、この畳み込み演算を 3 回以上繰り返したときには、三次以上の次元の曲線に沿うデータが生成されるはずである。)

請求の範囲 2－3 には、「ほぼ」という語が使われている。従って、請求の範囲 2－3 の記載は不明瞭である。

請求の範囲 2 には、零次ホールドされた入力データについて、第 2 の畳み込み演算を行い、対称台形となる複数の第 2 のデータを求めることが記載されている。しかしながら、値の異なる複数の入力データが連続して入力された場合(第 11 図(1)参照)には、連続する入力データ同士の足し算を行うことから、対称台形とはならない(第 11 図(5)参照)。従って、請求の範囲 2 の前記記載は、値の異なる複数の入力データが連続して入力される場合に関して、明細書及び図面の記載と対応が取れていない。

請求の範囲 3 の「底辺が前記入力データの幅のほぼ 2 倍の二等辺三角形」という記載に関しても同様である。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

## 第 V 欄の続き

請求の範囲 3

文献3には、デジタルデータDATA<sub>P</sub>をリサンプリングして、サンプリング周期が整数倍のデジタルデータDATA<sub>Q</sub>を出力するサンプリング回路23と、得られたDATA<sub>Q</sub>を複数のラッチ回路に順にラッチすることによりデータを遅延し、この遅延されたデータとDATA<sub>Q</sub>の値とを加算することにより直線補間したデータを形成する補間手段を備えたD/A変換装置が記載されており、請求の範囲3に記載された発明は、上記文献3に記載されたD/A変換装置の一部をなすものであり、新規性を有しない。

1 國歌出國の表出  
 2 出國人 (代表者)  
   氏名 (名称)  
   あて名  
   国籍  
   住所  
 3 代理人  
   氏名  
   あて名  
 4 補正命令の日付  
 5 補正の対象  
 6 補正の内容  
 7 紙付書類の目録

発信人 日本国特許庁 (国際予備審査機関)

出願人代理人

雨貝 正彦

殿

あて名

〒 169-0074

東京都新宿区北新宿1丁目8番15号

北新宿OCビル2階

雨貝特許事務所

PCT見解書

(法第13条)

[PCT規則66]

発送日  
(日.月.年)

27.02.01

出願人又は代理人  
の書類記号

FLP0075P

応答期間

上記発送日から 2 月以内

国際出願番号

PCT/JPO0/03040

国際出願日

(日.月.年)

11.05.00

優先日

(日.月.年)

11.05.99

国際特許分類 (IPC)

Int. Cl. G06F17/10

出願人 (氏名又は名称)

酒井 康江

1. これは、この国際予備審査機関が作成した 1 回目の見解書である。

2. この見解書は、次の内容を含む。

I ☒ 見解の基礎II ☐ 優先権III ☐ 新規性、進歩性又は産業上の利用可能性についての見解の不作成IV ☐ 発明の単一性の欠如V ☒ 法第13条 (PCT規則66.2(a)(ii)) に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明VI ☐ ある種の引用文献VII ☐ 国際出願の不備VIII ☐ 国際出願に対する意見

3. 出願人は、この見解書に応答することが求められる。

いつ?

上記応答期間を参照すること。この応答期間に間に合わないときは、出願人は、法第13条 (PCT規則66.2(d)) に規定するとおり、その期間の経過前に国際予備審査機関に期間延長を請求することができる。ただし、期間延長が認められるのは合理的な理由があり、かつスケジュールに余裕がある場合にに限られることに注意されたい。

どのように? 法第13条 (PCT規則66.3) の規定に従い、答弁書及び必要な場合には、補正書を提出する。補正書の様式及び言語については、法施行規則第62条 (PCT規則66.8及び66.9) を参照すること。

なお 補正書を提出する追加の機会については、法施行規則第61条の2 (PCT規則66.4) を参照すること。補正書及び/又は答弁書の審査官による考慮については、PCT規則66.4の2を参照すること。審査官との非公式の連絡については、PCT規則66.6を参照すること。

応答がないときは、国際予備審査報告は、この見解書に基づき作成される。

4. 国際予備審査報告作成の最終期限は、PCT規則69.2の規定により 11.09.01 である。

名称及びあて先

日本国特許庁 (IPEA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 茂和

5M

8837

電話番号 03-3581-1101 内線 6438



## I. 見解の基礎

1. この見解書は下記の出願書類に基づいて作成された。(法第6条(PCT 14条)の規定に基づく命令に応答するために提出された差替え用紙は、この見解書において「出願時」とする。)

☒ 出願時の国際出願書類

- ☐ 明細書 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 \_\_\_\_\_ 項、 出願時に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 PCT 19条の規定に基づき補正されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 国際予備審査の請求書と共に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 図面 第 \_\_\_\_\_ ページ/図、 出願時に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 国際予備審査の請求書と共に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき見解書を作成した。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この見解書は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

## V. 新規性、進歩性又は産業上の利用可能性についての法第13条（PCT規則66.2(a)(ii)に定める見解、それを裏付ける文献及び説明

## 1. 見解

|                |       |     |   |
|----------------|-------|-----|---|
| 新規性 (N)        | 請求の範囲 | 1-6 | 有 |
|                | 請求の範囲 |     | 無 |
| 進歩性 (IS)       | 請求の範囲 |     | 有 |
|                | 請求の範囲 | 1-6 | 無 |
| 産業上の利用可能性 (IA) | 請求の範囲 | 1-6 | 有 |
|                | 請求の範囲 |     | 無 |

## 2. 文献及び説明

## 請求の範囲1-6

Qi Wang et. al., 「Circuit Design of A D/A Converter Using Spline Functions」, Signal Processing, 3月 1989 Vol. 16, No. 3, p 279-288には、所定の波形を複数の関数の波形の結合により近似する点が記載されており、該記載中にはサンプリングレートの異なる複数の波形で近似する点も記載されている。また、このような近似法における近似関数の生成方法に関しては、桜井 明. スプライン関数入門. 東京：東京電機大学出版局, 1986, 第61頁, 第3行-第103頁, 第1行に記載されていて、請求の範囲1乃至6に記載された発明は上記文献1及び2より当業者が容易に成し得たものである。

## 提出書類の様式及び作成要領について

答弁書及び手続補正書は、特許協力条約に基づく国際出願等に関する法律施行規則第62条（様式第23）及び同規則第31条（様式15）に従って作成して下さい。

**【備考】**

- 1 用紙は、日本工業規格A4用紙（横210mm、縦297mm）の大きさとし、可燃性のある、丈夫な、白色の、持ちかた、光沢のない、耐久性のものも紙長として、折らずに片面のみを用い、用紙には、不要な文字、記号、枠線、けい線等を記載してはならない。
- 2 用紙には、しわ及び折り目がないこととする。
- 3 余白は、少なくとも用紙の上端、右端及び下端においては、その2か並びに左端に2.5cmをとるものとし、原則としてその上端及び右端についてはその4か並びにその右端及び下端についてそのおの3caを離れないものとする。この場合において、余白は、完全な空白としておくこととする。ただし、上端の余白の左側であって上端から1.5cm以内に書類記載欄番に記載されている場合に限り、）を付すことができる。
- 4 各条番は、タイプ印字又は印刷によるものとし、写真、静電的方法、写真オフセット及びマイクログラフ法によって直接に任意の数字の複製をすることができるように作成する。
- 5 各条番のすべてに用紙には、アラビア数字により1から始まる連続番号を用紙（余白部分を除く）、右端又は下端の中央に付す。
- 6 1.1.4においてローマ字を用いるときは、少なくとも5mm以上をとる。ただし、備考1.1.1.4においてローマ字を用いるときは1.5文字の幅をとる。
- 7 記載番号は、4桁数字の大きな数字（備考1.1.1.4においてローマ字を用いるときは、大文字の大きさを倍、0.21cm以上の文字）により、かつ、暗色の濃色性の色で少なくとも備考4.1に定める要件を満たすものに、紙に記す。
- 8 「国名出展の表示」の欄には、既に特許庁から国名出展番号の通知を受けている場合には、その番号を「PCT/」POO/OOOOO）のように記載し、国名出展番号の通知を受けない特許の場合には、その国名出展の提出日を月年形式の「OO.OO.OO提出の国名出展」（年については西暦記法で2桁）のように記載するとともに、書類番号（欄番に記載されている場合に限り、）を合せて記載する。
- 9 「氏名（名称）」は、自然にあっては姓及び名を姓、名の順に記載し、また、法人にあってはその名称を記載する。
- 10 「あて名」は、「日本国、何某、何郡、何村、大字何、字何、何番地、何号」のように詳しく記載するとともに、郵便番号を記載する。
- 11 氏名及びあて名は、既に、これらの音訳又は英語への変換をローマ字を用いて併記する。
- 12 「国名」は、出展人又は代表者がその国名である国の国名を記載する。
- 13 「住所」は、出展人又は代表者がその居住者である国の国名を記載する。
- 14 国名を記載する場合においては、特許庁長官が所定する国の名称を日本語及び英語により表示する。
- 15 「代理人」の欄には、その氏名の記載に合わせて、その氏名の前に「弁理士」、「弁理士」又は「法定代理人」のうち該当するものを記載する。
- 16 代理人にふるときは本人の印は不要とし、代理人によらないときは「代理人」の欄を設けるには及ばない。
- 17 各条番においては、原則として捺印、訂正、重ね書き及び行間挿入を行ってはならない。
- 18 各条番の用紙は、容易に分離し、又はとじ直すことができるように並びにクリップ等を用いてとじる。
- 19 「あて名」は出展人、代表者、代理人又は復代理人各人ごとに1つのあて名のみを記載する。
- 20 「復代理人」の欄には、その氏名の記載に合わせて、その氏名の前に「弁理士」又は「弁理士」のうち該当するものを記載する。
- 21 復代理人にふるときは代理人の印は不要とし、復代理人によらないときは「復代理人」の欄を設けるには及ばない。
- 22 日付は、西暦記法及びグレゴリー暦により、日についての数字、月についての数字及び年についての数字から2つの数字をこの順序に従ってそれぞれについて2桁のアラビア数字で表示し、かつ、日及び月の数字の後に日付印を付す（例えば1978年3月30日は「3.03.78」）。他の元元又は暦を用いる場合には、西暦記法及びグレゴリー暦による日付を併記する。

### 様式第23 (第62条関係)

**答 弁 書**

**特許庁審査官**

- 1 出願の表示
- 2 出願人 (代表者)  
氏名 (名称)  
あて名  
国籍  
住所
- 3 代理人  
氏名  
あて名
- 4 通知の日付
- 5 答弁の内容
- 6 紙付書類の日録

**【備考】**

- (注)第6条の規定による命令に基づき補正するときは従属して「手続修正書（第50条の6の規定による命令に基づく補正）」とし、法第11条の規定により補正するときには「手続修正書（法第11条の規定による補正）」とし、令第1条第2項の規定による命令に基づく補正をするときは「手続修正書（令第1条第2項の規定による命令に基づく補正）」とし、第27条の3第1項の規定により補正するときには「手続修正書（第27条の3第1項の規定による補正）」とし、第28条第9項の規定による命令に基づく補正をするときは「手続修正書（第28条第9項の規定による命令に基づく補正）」とし、第50条の3第3項の規定によるフレキシブルディスクの提出をし、第50条の3第5項の規定を印刷した書面を提出するときは、第50条の3第5項の規定による命令に基づくフレキシブルディスクの提出をし、第50条の3第5項の規定による命令に基づく配列表を記載した書面を提出するときは、「第50条の3第5項の規定による命令に基づく配列表を記載した書面の提出」とし、第50条の3第8項の規定による命令に基づく補正をするときは、「手続修正書（第50条の3第8項の規定による命令に基づく補正）」とする。
- 2 提出先は、特許庁長官が事務書の提出又は補正の機会を付与した場合にあつては当該特許庁若しくは支庁にあり、その他の場合は特許庁である。
- 3 「補正の対象」の欄には、「個々のⅡ、出願人の欄」のように補正をする書類名と補正をする箇所を記載する。
- 4 「補正の内容」の欄には、「別紙のとおり」と記載するとともに、補正事項を簡潔にし、補正のための追加用紙を用紙として添付する。ただし、補正の結果、用紙の全体が超過されることとなれば、第6条、令第1条第2項、第27条第1項及び第50条の3第8項の規定による命令に基づく補正の場合又は第27条第3項の規定による手続の補正の場合であつて、その補正に係る事項についての記載欄への書き込みが容易にできることを要する用紙によるところを要しない。なお、法第11条の規定による補正のために追加用紙を添付する場合を除く。この場合、追加用紙の添付は、特許規則で定められている場合に限り行われなければならない。用紙の形や大きさ及び縦横並びに影響を受けずかつこれと条件として、先に提出した手続修正書の形式に準拠することにより、追加用紙を作成することができる。

- 5 請求の範囲について修正をするときは、当該修正に係る請求の範囲を次のように記載した差  
異用紙を添付する。
- イ 新たに請求の範囲を追加するときは、その追加する請求の範囲に補正前の請求の範囲の最  
後のものに付した番号を「O（追加）」のように記載する。
- ロ いずれかの請求の範囲を削除する場合には、その削除する請求の範囲に付されている番号  
を「O（削除）」のように記載する。
- ハ 請求の範囲を増減せず修正するときは、その修正された請求の範囲に補正前の請求の  
範囲の番号と同一の番号を「O（補正後）」のように記載する。
- 6 第5条の3第3項の規定によりフレキシブルディスクを提出するときは又は第5条の3第  
5項の規定により命令に基づきフレキシブルディスクを提出するときは、次の要領で記載する。
- イ 「7 添付書類の目録」の欄に次のように記載する。
- 1 添付書類の目録 1 記録用紙に関するコードデータを記録したフレキシブルディスク

**陳述善**

本書に添付したフレキシブルディスクに記録した塩基配列又はアミノ酸配列は、明細書に記載した塩基配列又はアミノ酸配列を忠実にコード化したものであって、内容を変更したものでないことを断言します。

平成 年 月 日

### 国際出願の表示

発明の名称

(印)

- ハ「フランクフルト」の記載形式等の情報を記載した書面は、原則として、「出願人氏名(名称)」、「代理人氏名(名称)」、「国際出願の表示」、「発明の名称」、「使用した文字コード」、「配列を記載したファイル名」及び「送達先(電話番号及び担当者の氏名)」の項目を付けて記載することにより作成する。
- ニ「5 補正の対象」及び「6 補正の内容」の欄は設けない。
- 7 第50条の3第5項の規定による命令に基づき配列表を記載した書面を提出するときは、「7 補正書類の目録」の欄に次のとおりに記載し、「5 補正の対象」及び「6 補正の内容」の欄は設けない。
- 5 配付書類の目録 1 配列表を記載した書面 1 通
- 8 用紙は、日本工業規格A4用紙(縦21cm、29.7cm)の大きさとし、可塑性のある、大、矢、小の、色の、滑らかな、光沢のない、耐久性のあるものを紙張として、折らずに片面のみを用い、白紙には、不要な文字、記号、枠線、及び線等を記載してはならない。
- 9 用紙には、上及び用紙幅が設けられてはならない。
- 10 余白は、上及び用紙幅に、少なくとも下欄におけるおのおの4並びに右欄に2.5cmをとるものとし、原則としてその上欄及び下欄についてはおのおの4並びにその右端及び下端についてはおのおの3cmを設けなければならない。この場合において、余白は、完全な空白としておくこととする。ただし、上欄の余白の左端であって上欄から5.5cm以内に番題記号(番題に記載されている場合に限り。)を付することができる。
- 11 手続補正書は、タイプ印又は印刷によるものとし、写真、静電的方法、写真オフセット及びマイクログラフによるもので直接に任意の複製を製造することができるように作成し、手続補正書のすべての用紙には、アラビア数字により1から始まる送達番号を付する(余白部分を除く。)の上欄及び下欄の中央に付する。
- 12 タイプ印による場合においては、行の間隔は、少なくとも5mm以上とする。ただし、番号16、19においてローマ字を用いるときは、1.6文字の間隔とする。
- 13 記載するときは、4桁以上の大文字の数字(番号16、19においてローマ字を用いるときは、大文字の数字と小文字、2.1cm以上の文字)により、かつ、特色の選色性のない色であって番号9に定める条件を満たすもので記載する。
- 14 「国際出願」の通知は、既に他国から国際出願番号の通知を受けている場合には、その号の「PCT/P/AA/O/○○○○○」のように記載し、国際出願番号の通知を受ける前の場合には、その国際出願の提出日が8月年の順に「○○、○○、○○提出の国際出願」(年については西暦記号の下2桁)のように記載するとともに、番題番号(番題に記載されている場合に限り。)を合せて記載する。
- 15 「氏名(名称)」は、自然人にあつては姓及び名を姓、名の順に記載し、また、法人にあつてはその名称を記載する。
- 16 「あて名」は、「日本国、何国、何国、何村、大字何、字何、何番地、何号」のように詳しく記載するとともに、郵便番号を記載する。
- 18 氏名若しくは名称又はあて名には、これらの音訳又は英訳の綴沢をローマ字を用いて併記する。
- 19 「国籍」は、出願人又は代表者がその国籍である国の国名を記載する。
- 20 「住所」は、出願人又は代表者がその居住者である国の国名を記載する。
- 21 国名を記載する場合においては、特許庁長官が指定する国の名称を日本語及び英語により表示する。
- 22 「(個人)の欄には、その氏名の前に合せて、その氏名の前に「弁護士」、(弁護士)又は「法定代理人」のうちの該当するものを記載する。
- 23 代理人によるときは本人の印は不要とし、代理人によらぬときは「代理人」の欄を設けるには及ばない。
- 24 各用紙においては、原則として捺印、訂正、重ね書き及び訂正捺入を行ってはならない。
- 25 手続補正書の用紙は、容易に分離し、又はとじ直すことができるように例えばクリップ等を用いてとじる。
- 26 「あて名」は出願人、代表者、代理人又は復代理人各人ごとに1つのあて名のみを記載する。
- 27 「復代理人」の欄には、その氏名の前に合せて、その氏名の前に「弁護士」又は「弁護士」のうち該当するものを記載する。
- 28 復代理人によるときは代理人の印は不要とし、復代理人によらぬときは「復代理人」の欄を設けるには及ばない。
- 29 「日」は、日付及びグレゴリー暦により、日についての数字、月についての数字及び年についての最後から2つの数字をこの順序に従ってそれぞれについて2桁のアラビア数字で表示し、かつ、日及び月の数字の後に日付を付す(例えば1978年3月30日は「30.0、3.78」)。他の記元又は暦を用いる場合には、西暦記元及びグレゴリー暦による日付を併記する。

様式第15 (第31条関係)

平 鏡 箱 正 容

**特許庁長官**

- (特許庁審査官)
- 1 国際出願の表示
  - 2 出願人(代表者)  
氏名(名称)  
あて名  
国籍  
住所
  - 3 代理人  
氏名  
あて名
  - 4 補正命令の日付
  - 5 補正の対象
  - 6 補正の内容
  - 7 補正書提出の日数

## PATENT COOPERATION TREATY

PCT

## NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner  
 US Department of Commerce  
 United States Patent and Trademark  
 Office, PCT  
 2011 South Clark Place Room  
 CP2/5C24  
 Arlington, VA 22202  
 ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

|   |   |
|---|---|
| <b>Date of mailing (day/month/year)</b><br>07 December 2000 (07.12.00)      |   |
| <b>International application No.</b><br>PCT/JP00/03040                      | <b>Applicant's or agent's file reference</b><br>FLP0075P        |
| <b>International filing date (day/month/year)</b><br>11 May 2000 (11.05.00) | <b>Priority date (day/month/year)</b><br>11 May 1999 (11.05.99) |
| <b>Applicant</b><br>KOYANAGI, Yukio   |   |

1. The designated Office is hereby notified of its election made:



in the demand filed with the International Preliminary Examining Authority on:

20 November 2000 (20.11.00)



in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

|  |  |
|--|--|
| <b>The International Bureau of WIPO</b><br>34, chemin des Colombettes<br>1211 Geneva 20, Switzerland<br>Facsimile No.: (41-22) 740.14.35 | <b>Authorized officer</b><br>Kiwa Mpay<br>Telephone No.: (41-22) 338.83.38 |
|--|--|

PCT

国際予備審査報告

(法第12条、法施行規則第56条)  
[PCT36条及びPCT規則70]

REC'D 10 SEP 2001

WIPO

PCT

|  |   |                         |
|--|---|-------------------------|
| 出願人又は代理人<br>の書類記号<br>FLP0075P                  | 今後の手続きについては、国際予備審査報告の送付通知（様式PCT/<br>IPEA/416）を参照すること。 |                         |
| 国際出願番号<br>PCT/JPO0/03040                       | 国際出願日<br>(日.月.年) 11.05.00                             | 優先日<br>(日.月.年) 11.05.99 |
| 国際特許分類 (IPC)<br>Int. Cl <sup>7</sup> G06F17/17 |   |                         |
| 出願人 (氏名又は名称)<br>酒井 康江                          |   |                         |

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。

☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。

(PCT規則70.16及びPCT実施細則第607号参照)

この附属書類は、全部で ページである。

3. この国際予備審査報告は、次の内容を含む。

I ☒ 国際予備審査報告の基礎

II ☐ 優先権

III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成

IV ☐ 発明の単一性の欠如

V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明

VI ☐ ある種の引用文献

VII ☐ 国際出願の不備

VIII ☒ 国際出願に対する意見

RECEIVED

FEB 19 2002

Technology Center 2600

|  |                            |         |
|--|----------------------------|---------|
| 国際予備審査の請求書を受理した日<br>20.11.00                                     | 国際予備審査報告を作成した日<br>22.08.01 |         |
| 名称及びあて先<br>日本国特許庁 (IPEA/JP)<br>郵便番号100-8915<br>東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員)<br>清木 泰   | 5B 2944 |
| 電話番号 03-3581-1101 内線 3545  |                            |         |

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
 PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- ☐ 明細書 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 \_\_\_\_\_ 項、 出願時に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 PCT19条の規定に基づき補正されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 国際予備審査の請求書と共に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 図面 第 \_\_\_\_\_ ページ/図、 出願時に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 国際予備審査の請求書と共に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲

1, 2, 4-6

有

請求の範囲

3

無

進歩性(IS)

請求の範囲

1, 2, 4-6

有

請求の範囲

3

無

産業上の利用可能性(IA)

請求の範囲

1-6

有

請求の範囲

無

2. 文献及び説明(PCT規則70.7)

文献1: Qi Wang et. al., 「Circuit Design of A/D Converter Using Spline Functions」, Signal Processing, 3月 1989 Vol. 16, No. 3, p. 279-288

文献2: 桜井明, スプライン関数入門, 東京: 東京電機大学出版局, 1986, 第7頁第21行-第8頁第22行, 第61頁第3行-第103頁第1行

文献3: JP, 8-330957, A (株式会社ケンウッド)  
13. 12月. 1996 (13. 12. 96)  
段落番号【0012】, 第2-4図

請求の範囲 1, 2, 4-6

文献1には、無限個の観測値を補間する補間関数の個々の値を求めるときに、有限個の観測値に基づいて演算することによって補間関数を求める回路が開示されている。

また、文献2には、階段関数を複数回不定積分することによりスプライン関数を求め、そのようなスプライン関数を用いることにより、データ点を通るスプライン関数を求めることが開示されている。

しかしながら、零次ホールドされた入力データに対して2回以上繰り返し畳み込み演算を行い、入力データの値の整数倍を通る二次曲線に沿った補間データを生成する補間処理回路に関しては、国際調査報告で列記した文献、および見解書で新たに引用した文献3のいずれにも、記載も示唆もされていない。

請求の範囲 3

文献3には、デジタルデータDATA<sub>P</sub>をリサンプリングして、サンプリング周期が整数倍のデジタルデータDATA<sub>Q</sub>を出力するサンプリング回路23と、得られたDATA<sub>Q</sub>を複数のラッチ回路に順にラッチすることによりデータを遅延し、この遅延されたデータとDATA<sub>Q</sub>の値とを加算することにより直線補間したデータを形成する補間手段を備えたD/A変換装置が記載されており、請求の範囲3に記載された発明は、上記文献3に記載されたD/A変換装置の一部をなすものであり、新規性を有しない。

## VII. 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

請求の範囲 1－3 に記載された「畳み込み演算」は、入力データに対する演算の結果として生成されたデータによって表現されていることから、この演算がどのようなものか不明瞭である。

請求の範囲 1 には、畳み込み演算を 2 回以上繰り返して、二次曲線に沿った補間データを生成することが記載されている。しかしながら、畳み込み演算を 3 回以上繰り返す場合に関しては、明細書に記載されていない。従って、請求の範囲 1 の前記記載は、畳み込み演算を 3 回以上繰り返した場合について、明細書により十分な裏付けがなされていない。（二次曲線に沿うデータが生成されるのは畳み込み演算を 2 回繰り返す場合のみであり、この畳み込み演算を 3 回以上繰り返したときには、三次以上の次元の曲線に沿うデータが生成されるはずである。）

請求の範囲 2－3 には、「ほぼ」という語が使われている。従って、請求の範囲 2－3 の記載は不明瞭である。

請求の範囲 2 には、零次ホールドされた入力データについて、第 2 の畳み込み演算を行い、対称台形となる複数の第 2 のデータを求めることが記載されている。しかしながら、値の異なる複数の入力データが連続して入力された場合（第 11 図（1）参照）には、連続する入力データ同士の足し算を行うことから、対称台形とはならない（第 11 図（5）参照）。従って、請求の範囲 2 の前記記載は、値の異なる複数の入力データが連続して入力される場合に関して、明細書及び図面の記載と対応が取れていない。

請求の範囲 3 の「底辺が前記入力データの幅のほぼ 2 倍の二等辺三角形」という記載に関しても同様である。



## PATENT COOPERATION TREATY

## PCT

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

|  |   |   |
|--|---|---|
| Applicant's or agent's file reference<br>FLP0075P  | <b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416) |   |
| International application No.<br>PCT/JP00/03040  | International filing date ( <i>day/month/year</i> )<br>11 May 2000 (11.05.00)   | Priority date ( <i>day/month/year</i> )<br>11 May 1999 (11.05.99) |
| International Patent Classification (IPC) or national classification and IPC<br>G06F 17/17 |   |   |
| Applicant<br>SAKAI, Yasue  |   |   |

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of 6 sheets, including this cover sheet.
- ☐ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).
- These annexes consist of a total of \_\_\_\_\_ sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☒ Certain observations on the international application

|   |  |
|---|--|
| Date of submission of the demand<br>20 November 2000 (20.11.00) | Date of completion of this report<br>22 August 2001 (22.08.2001) |
| Name and mailing address of the IPEA/JP                         | Authorized officer   |
| Facsimile No.   | Telephone No.  |

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/03040

## I. Basis of the report

### 1. With regard to the **elements** of the international application:\*

- ☒ the international application as originally filed
- ☐ the description:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the claims:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, as amended (together with any statement under Article 19  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the drawings:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

### 2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item. These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

### 3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

### 4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

### 5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.  
PCT/JP 00/03040

**V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement**

1. Statement

|                               |        |           |     |
|-------------------------------|--------|-----------|-----|
| Novelty (N)                   | Claims | 1, 2, 4-6 | YES |
|                               | Claims | 3         | NO  |
| Inventive step (IS)           | Claims | 1, 2, 4-6 | YES |
|                               | Claims | 3         | NO  |
| Industrial applicability (IA) | Claims | 1-6       | YES |
|                               | Claims |           | NO  |

2. Citations and explanations

Document 1: Qi Wang et al., "Circuit Design of a D/A Converter Using Spline Functions", Signal Processing, March 1989, Vol. 16, No. 3, pp. 279 to 288

Document 2: Akira Sakurai, "Supurain Kansu Nyumon", Tokyo, Tokyo Denki Daigaku Shuppan Kyoku, 1986, page 7, line 21 to page 8, line 22; page 61, line 3 to page 103, line 1

Document 3: JP, 8-330957, A (Kenwood Corp.), December 13, 1996 (13.12.96), paragraph [0012]; Fig. 2 to 4

Claims 1, 2, and 4 to 6

Document 1 discloses a circuit for determining interpolation functions using calculations based on a number of finite observation values when individual values of interpolation functions which interpolate an infinite number of observation values are being determined.

Moreover, Document 2 discloses the feature of determining spline functions by making the step functions indefinite integrals multiple times and of determining the spline function which passes through the data points by

using the aforementioned spline functions.

However, an interpolation circuit which repeats a convolution operation more than twice with respect to zero-order-hold input data and generates interpolation data along a quadratic function curve that passes through the integral multiple of the input data value is neither disclosed nor suggested in any of the documents cited in the international search report and Document 3 newly cited in this written opinion.

### Claim 3

Document 3 discloses a D/A conversion device provided with a sampling circuit (23) which resamples the digital data  $DATA_p$  and outputs digital data  $DATA_q$  in which the sampling period is an integral multiple, and an interpolation means which delays the data by latching in sequence the obtained  $DATA_q$  to a plurality of latch circuits and forms linear interpolated data by adding this delayed data to the  $DATA_q$  value. Since the invention set forth in Claim 3 forms a part of the D/A conversion device disclosed in the above-mentioned Document 3, Claim 3 lacks novelty.

## VIII. Certain observations on the international application

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

The "convolution operation" disclosed in Claims 1 to 3 is represented by the data generated as the result of the calculation with respect to the input data, but it is unclear what kind of operation this is.

Claim 1 discloses the feature wherein the convolution operation is repeated twice or more and interpolation data is generated along a quadratic function curve. However, there are no disclosures in the description relating to the case when the convolution operation is repeated three times or more. Therefore, the description does not fully support the aforementioned feature set forth in Claim 1 wherein the convolution operation is repeated three times or more. (Data is only generated along a quadratic curve when the convolution operation is repeated twice and when the convolution operation is repeated three times or more, the data should be generated along a dimension curve that is cubic or greater.)

Claims 2 and 3 use the term "approximately" and, consequently, Claims 2 and 3 are unclear.

Claim 2 discloses the feature wherein a second convolution operation is carried out with respect to zero-order-hold input data to determine a plurality of second data that forms a symmetrical trapezium. However, in the event that multiple sets of input data with different values are continuously inputted (see Fig. 11 (1)), the continuous input data is added to one another and therefore, it would not be possible to form a symmetrical trapezium (see Fig. 11 (5)). Consequently, it is not

## VIII. Certain observations on the international application

possible to equate the feature disclosed in Claim 2 concerning the continuous input of multiple sets of input data with different values with the disclosures in the description and the figures.

The same argument can be applied to the feature disclosed in Claim 3 wherein "the base of the isosceles triangle is approximately double the width of the aforementioned input data".